

Werner Hinderer

---

Test und Inbetriebnahme des  
ATLAS Level-1 Kalorimeter Trigger  
Prä-Prozessor Multichip-Moduls

Diplomarbeit

HD-KIP-06-02

**Fakultät für Physik und Astronomie**  
**Ruprecht-Karls-Universität Heidelberg**

Diplomarbeit  
im Studiengang Physik

vorgelegt von  
**Werner Hinderer**  
aus Welzheim

2002



**Test und Inbetriebnahme  
des ATLAS Level-1 Kalorimeter Trigger  
Prä-Prozessor Multichip-Moduls**

Die Diplomarbeit wurde von Werner Hinderer ausgeführt am  
Kirchhoff-Institut für Physik der Universität Heidelberg  
unter der Betreuung von  
Herrn Prof. Dr. Karlheinz Meier



Test und Inbetriebnahme des  
ATLAS Level-1 Kalorimeter Trigger Prä-Prozessor Multichip-Moduls:

Das Thema dieser Arbeit ist das Prä-Prozessor Multichip-Modul (PPrMCM) für den ATLAS Level-1 Kalorimeter Trigger Prä-Prozessor. Dieses Prä-Prozessor Multichip-Modul ermöglicht die kompakte Signalverarbeitung von vier analogen Kalorimeter-Signalen (Trigger-Tower Signalen).

Das Layout einer ersten Version des PPrMCMs wurde fertig gestellt. Sechs PPrMCMs wurden mit einer Strukturgröße von  $100\ \mu m$  nach dem TWINFlex Verfahren der Firma Würth Elektronik gefertigt. Drei dieser PPrMCMs wurden bis auf den noch nicht verfügbaren Prä-Prozessor ASIC von Hand bestückt. Thermische Messungen gaben Anlass zu einem Neudesign. Die zweite Version des PPrMCMs befindet sich momentan in der Fertigung. Die fehlerfreie Funktion der PPrMCMs muss in Tests nachgewiesen werden. Ein komplexes Testsystem zum Test von 3200 PPrMCMs wurde entwickelt. Für das auf VME-Karten basierende Testsystem wurde der Schaltplan für die so genannte MCM-Testkarte entwickelt.

Um den Test der PPrMCMs ohne den noch fehlenden Prä-Prozessor ASIC durchführen zu können, wurde eine Zwischenkarte erstellt. Mit dieser Karte ist es möglich, die fehlerfreie Funktion des PPrMCMs zu verifizieren.

Test and commissioning of the  
ATLAS Level-1 Calorimeter-Trigger Pre-Processor Multichip-Module:

The subject of this thesis is the Pre-Processor Multichip-Module (PPrMCM) for the ATLAS Level-1 Calorimeter Trigger Pre-Processor system. The Pre-Processor Multichip-Module performs most of the preprocessing tasks of four analog trigger-tower signals.

The layout of a first version of the PPrMCM was completed. Six PPrMCMs with a smallest feature size of  $100\ \mu m$  were fabricated in a TWINFlex-process which is offered by Würth Elektronik. Three of them were partly assembled by hand, only the Pre-Processor ASIC was missing. Thermal measurements resulted in a redesign of the PPrMCM. This second version is currently under production.

The correct functioning of the PPrMCMs has to be verified. For that purpose a complex test system was designed in order to test 3200 PPrMCMs. The schematic for the so called MCM-testboard was designed.

In order to perform tests of the PPrMCM without the still missing Pre-Processor ASIC, the so called adapter board was designed which allows the verification of the correct functioning of the PPrMCM.



# Inhaltsverzeichnis

<b>Einleitung</b>	<b>1</b>
<b>1 Das ATLAS Experiment am LHC</b>	<b>2</b>
1.1 Der Teilchenbeschleuniger LHC . . . . .	2
1.2 Physikalischer Hintergrund . . . . .	4
1.2.1 Das Standardmodell der Teilchenphysik . . . . .	4
1.2.2 Physik jenseits des Standardmodells . . . . .	5
1.2.3 Proton-Proton Streuung . . . . .	7
1.3 Der ATLAS-Detektor . . . . .	8
1.3.1 Der innere Detektor . . . . .	10
1.3.2 Das Kalorimeter . . . . .	10
1.3.3 Das Myon-Spektrometer . . . . .	12
<b>2 Architektur des ATLAS Trigger-Systems</b>	<b>14</b>
2.1 Überblick über das Trigger Konzept . . . . .	14
2.2 Der Level-1-Trigger . . . . .	16
2.2.1 Der Kalorimeter Trigger . . . . .	16
2.2.2 Der Myon Trigger . . . . .	19
2.2.3 Der zentrale Trigger Prozessor . . . . .	19
<b>3 Der Level-1 Kalorimeter Trigger Prä-Prozessor</b>	<b>20</b>
3.1 Überblick . . . . .	20
3.2 Hardware Komponenten des Prä-Prozessors . . . . .	21
3.2.1 Das Analog Input Board . . . . .	23
3.2.2 Das Prä-Prozessor Multichip-Modul (PPrMCM) . . . . .	24
3.2.3 Der Prä-Prozessor ASIC . . . . .	26
3.2.4 Der Readout Merger FPGA (RemFPGA) . . . . .	28
3.2.5 Die Datenauslese . . . . .	29
<b>4 Das Prä-Prozessor Multichip-Modul</b>	<b>30</b>
4.1 MCM Technologie . . . . .	30
4.2 Design und Layout . . . . .	32
4.3 Bestückung des PPrMCMs . . . . .	36
4.4 Redesign des PPrMCMs . . . . .	42



4.4.1	Thermische Messungen . . . . .	42
4.4.2	Weitere Änderungen am Layout . . . . .	46
4.4.3	Eigenschaften des Layouts der zweiten Version des PPrMCMs . . . . .	48
4.4.4	Eingangs- und Ausgangssignale der zweiten Version des PPrMCMs . . . . .	48
<b>5</b>	<b>Test des Prä-Prozessor Multichip-Moduls</b>	<b>51</b>
5.1	Produktion des PPrMCMs in großen Stückzahlen und Qualitätssicherung . . . . .	51
5.2	Testaufbau . . . . .	54
5.3	Die MCM Testkarte . . . . .	58
<b>6</b>	<b>Die Adapter-Karte</b>	<b>63</b>
6.1	Test des PPrMCMs ohne PPrASIC . . . . .	63
6.2	CPLD Design-Prozess . . . . .	65
6.3	Test des PPrASICs . . . . .	67
	<b>Zusammenfassung und Ausblick</b>	<b>69</b>
	<b>A Layout des PPrMCMs</b>	<b>71</b>
	<b>B Pinbelegung der Stecker des PPrMCMs</b>	<b>73</b>
	<b>C Schaltplan der MCM Testkarte</b>	<b>79</b>
	<b>Literaturverzeichnis</b>	<b>81</b>
	<b>Danksagung</b>	<b>85</b>

# Einleitung

Im Jahre 2006 wird ein neuer Teilchenbeschleuniger, der Large Hadron Collider (LHC) am CERN in Betrieb gehen. Der LHC wird unter anderem Protonenstrahlen mit einer Energie von bis zu  $7\text{TeV}$  zur Kollision bringen. Mit Hilfe von sehr komplexen Detektoren untersucht man, was beim Zusammenstoß der Strahlen aus dem LHC passiert. Einer dieser Detektoren ist ATLAS. ATLAS ist als Universaldetektor konzipiert und wird unter anderem nach dem theoretisch vorhergesagten Higgs-Boson und nach theoretisch vermuteten supersymmetrischen Teilchen suchen. Da die zu messenden Reaktionen sehr selten sind, ist ein Trigger-System notwendig, das aus der Vielzahl der stattfindenden Reaktionen diejenigen isoliert, die das zu untersuchende physikalische Ereignis enthalten.

Das ATLAS Trigger-System besteht aus drei Stufen. Die erste Stufe, der Level-1-Trigger, setzt sich aus dem Kalorimeter Trigger, dem Myon Trigger und dem zentralen Trigger Prozessor zusammen. Für die technische Realisierung dieses Trigger-Systems ist eine kompakte und schnelle Elektronik erforderlich. Das Prä-Prozessor Multichip-Modul, mit dem sich diese Arbeit beschäftigt, stellt eine solche kompakte und schnelle Elektronikkomponente dar. Das Prä-Prozessor Multichip-Modul ist eine zentrale Komponente des Prä-Prozessors. Der Prä-Prozessor wiederum stellt die Eingangsstufe des Kalorimeter Triggers dar und ist für die Verarbeitung von ungefähr 7200 analogen Kalorimeter-Signalen (Trigger-Tower Signalen) verantwortlich.

Diese Arbeit ist folgendermaßen gegliedert: Kapitel 1 gibt eine Beschreibung des Beschleunigers LHC, führt in die Physik ein, die am LHC untersucht wird und stellt den ATLAS Detektor vor. In Kapitel 2 folgt eine Beschreibung des gesamten ATLAS Trigger-Systems. Kapitel 3 gibt einen Überblick über das Prä-Prozessor System. Eine ausführliche funktionelle Beschreibung des Prä-Prozessor Multichip-Moduls wird gegeben. Die Technologie und die Erstellung des Layouts dieses Prä-Prozessor Multichip-Moduls wird in Kapitel 4 vorgestellt. In Kapitel 5 wird die Entwicklung eines komplexen Testsystems für das Prä-Prozessor Multichip-Modul beschrieben. Im letzten Kapitel schließlich wird eine Zwischenkarte vorgestellt, die eine Inbetriebnahme des Prä-Prozessor Multichip-Moduls auch ohne seine zentrale Komponente, dem Prä-Prozessor ASIC, ermöglicht.

# Kapitel 1

## Das ATLAS Experiment am LHC

### 1.1 Der Teilchenbeschleuniger LHC

Im Jahre 2006 wird am europäischen Laboratorium für Teilchenphysik (CERN<sup>1</sup>) ein neuer Beschleuniger und Speicherring, der große Hadronkollider LHC (*Large Hadron Collider*) in Betrieb gehen. Protonen werden in zwei separaten Strahlrohren auf gegenläufigen Kreisbahnen auf eine Energie von jeweils bis zu  $7\text{TeV}$  beschleunigt. Die daraus resultierende Schwerpunktsenergie von  $14\text{TeV}$  ermöglicht die Suche nach neuen Teilchen mit Massen von bis zu  $m \sim 5\text{TeV}$ . Der LHC wird im bereits vorhandenen Tunnel des kürzlich abgebauten *Large Electron Positron Colliders* (LEP) installiert. Der Tunnel hat einen Umfang von ungefähr 27 Kilometern. Um die  $7\text{TeV}$  Protonen auf der vorgegebenen Kreisbahn halten zu können, sind Dipolmagnete erforderlich, die in der Lage sind, Magnetfelder mit einer Stärke von bis zu 8.33 Tesla [45] zu erzeugen. Technologisch wird dies durch den Einsatz von 1296 supraleitenden Dipolmagneten gelöst. Der Bau von Prototypen wurde im Jahr 2000 erfolgreich abgeschlossen und die Serienfertigung der finalen Dipolmagnete ist eingeleitet. Um Kosten und Raum im engen Tunnel zu sparen, werden die Magnete für beide Strahlen im gleichen Kryostaten, der mit superfluidem Helium auf einer Temperatur von 1.9 K gehalten wird, eingebaut. Abbildung 1.1 zeigt ein solches 2-in-1-Gehäuse. Neben den Dipolmagneten kommen zur Strahlfokussierung auch noch 6.9 Tesla supraleitende Quadrupolmagnete zum Einsatz.

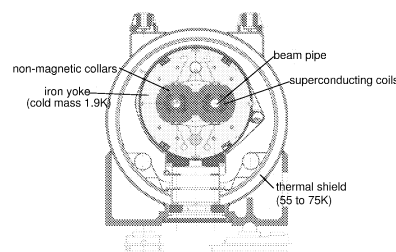


Abbildung 1.1: Querschnitt eines LHC-Dipolmagneten

<sup>1</sup>Conseil Européen pour la Recherche Nucléaire

CERNs bestehende Beschleunigerkette (siehe Abbildung 1.2) liefert die auf  $0.45\text{ TeV}$  vorbeschleunigten Protonenstrahlen, bevor sie in den LHC eingeführt werden.

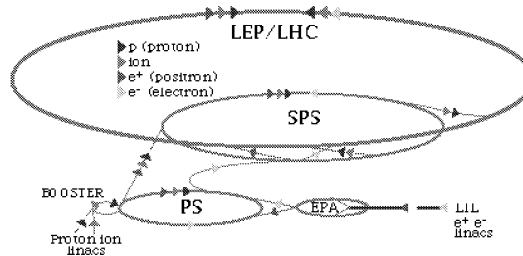


Abbildung 1.2: Das System von Vorbeschleunigern und Speicherringen bei CERN

Jeder Protonenstrahl ist in Teilchenpakete, den so genannten *Bunches*<sup>2</sup> aufgeteilt. Ein solches Teilchenpaket enthält typischerweise  $10^{11}$  Protonen. Alle  $24.95\text{ ns}$ , einer Frequenz von rund  $40\text{ MHz}$  entsprechend, kollidiert ein solches Paket mit einem Paket aus der anderen Strahlröhre. Man spricht dann von einem so genannten *Bunch-Crossing*. Geeignete Magnetfeldanordnungen sind entsprechend notwendig, um an vier vorgesehenen Wechselwirkungspunkten die Protonenstrahlen zur Kollision zu bringen. An jedem dieser vier Wechselwirkungspunkte wird jeweils ein großes Experiment aufgebaut werden, das den unterschiedlichen Aspekten der mit dem LHC zugänglichen Physik Rechnung trägt. Während CMS (**C**ompact **M**uon **S**olenoid) und ATLAS (**A** Toroidal **L**HC **A**pparatu**S**) als zwei Universaldetektoren geplant sind, zielen ALICE (**A** Large **I**on **C**ollider **E**xperiment) und LHC-b (**L**HC **b**ottom-quark experiment) auf speziellere Aspekte der LHC-Physik ab. LHC-b beschäftigt sich mit der Physik der B-Mesonen und will die bei ihrem Zerfall theoretisch erwartete CP-Verletzung messen. Im Falle von ALICE wird der LHC als Schwerionenbeschleuniger verwendet. So sollen Blei-Ionen bei Schwerpunktsenergien von bis zu  $1250\text{ TeV}$  zur Kollision gebracht werden, um bei sehr hoher Materiedichte den erwarteten Übergang der Materie in ein Quark-Gluon Plasma untersuchen zu können.

Die Reaktionsrate  $R$  an einem solchen Wechselwirkungspunkt ist gegeben durch

$$R = \sigma L, \tag{1.1}$$

wobei  $\sigma$  der Wirkungsquerschnitt der stattfindenden Reaktion und  $L$  die Luminosität des Beschleunigers ist. Im Falle der Kollision der beiden Protonenstrahlen im LHC-Speicherring gilt für die Luminosität nach [1]

$$L = \frac{N_a \cdot N_b \cdot j \cdot v / U}{A}, \tag{1.2}$$

wobei  $N_a$  und  $N_b$  der in Paket a bzw. b enthaltenen Teilchenzahl,  $j$  die Zahl der Teilchenpakete,  $v$  die Geschwindigkeit der Teilchen,  $U$  der Umfang des Speicherringes und  $A$  der Strahlquerschnitt ist. Da der Wirkungsquerschnitt  $\sigma$  für viele der zu messenden Reaktionen sehr klein ist, ist die hohe Luminosität des LHC von zunächst  $10^{33}\text{ cm}^{-2}\text{ s}^{-1}$  und später von  $10^{34}\text{ cm}^{-2}\text{ s}^{-1}$  essenziell, um die zu untersuchenden Reaktionen und ihre

<sup>2</sup>aus dem Englischen: Pakete

Eigenschaften vermessen zu können. Der LHC übertrifft damit z.B. die Luminosität des derzeit weltweit mit der höchsten Schwerpunktsenergie von  $2\text{TeV}$  arbeitenden Proton-Antiproton Kolliders Tevatron am Fermilab um den Faktor 100. Welche Bedeutung eine hohe Luminosität für die Physik am LHC hat, soll nun im folgenden Abschnitt näher beleuchtet werden.

## 1.2 Physikalischer Hintergrund

### 1.2.1 Das Standardmodell der Teilchenphysik

Die Grundlage der heutigen Elementarteilchenphysik ist das so genannte Standardmodell (SM), eine lokale Eichfeldtheorie. Nach dem Standardmodell ist die gesamte Materie aus 12 fundamentalen Teilchen aufgebaut, die in zwei Gruppen, die Leptonen und die Quarks, eingeteilt werden. Zu den Leptonen gehören 6 Teilchen, die in drei "Generationen" oder "Familien" angeordnet werden. Ihre wichtigsten Eigenschaften sind in Tabelle 1.1 angegeben. Jedes Lepton besitzt, wie alle Teilchen, ein entsprechendes Antiteilchen.

Generation		el.Ladung	Masse [ $\text{MeV}/c^2$ ]	Lebensdauer
I	$\nu_e$	0	$< 15 \times 10^{-6}$	stabil
	$e^-$	-1	0.511	stabil
II	$\nu_\mu$	0	$< 1.9 \times 10^{-4}$	stabil?
	$\mu^-$	-1	105.7	$2.197 \times 10^{-6}\text{s}$
III	$\nu_\tau$	0	$< 18.2$	stabil?
	$\tau^-$	-1	$< 1777.1$	$2.900 \times 10^{-13}\text{s}$

Tabelle 1.1: Leptonen und ihre wichtigsten Eigenschaften

Auch die 6 Quarks lassen sich wie die Leptonen in drei "Generationen" oder "Familien" anordnen. Im Gegensatz zu den Leptonen besitzen die Quarks eine Eigenschaft namens Farbe (Farbladung), die man sich als eine Art Ladung der Quarks vorstellen kann. Die Quantenzahl Farbe kann dabei die Werte rot, grün und blau annehmen. Die wichtigsten Eigenschaften der Quarks sind in Tabelle 1.2 zusammengefasst. Zu jedem Quark gehört ein entsprechendes Antiquark.

Generation		el.Ladung	Masse [ $\text{MeV}/c^2$ ]	Farbe
I	u	$+2/3$	1.5..5	r, g, b
	d	$-1/3$	3..9	r, g, b
II	c	$+2/3$	1100..1400	r, g, b
	s	$-1/3$	60..170	r, g, b
III	t	$+2/3$	$170..179 \times 10^3$	r, g, b
	b	$-1/3$	4100..4400	r, g, b

Tabelle 1.2: Quarks und ihre wichtigsten Eigenschaften

Wechselwirkungen zwischen Teilchen werden durch den Austausch von Eichbosonen vermittelt. Von den vier elementaren Wechselwirkungen - schwache, starke, elektromagnetische und gravitative Wechselwirkung - wird die Gravitation allerdings nicht durch das Standardmodell beschrieben. Die Eichbosonen besitzen alle den Spin 1. Teilchen mit ganzzahligem Spin nennt man Bosonen. Teilchen mit halbzahligen Spin nennt man Fermionen. Die Leptonen und die Quarks besitzen den Spin  $1/2$ , sind also Fermionen.

Die elektromagnetische Wechselwirkung wird durch die Quantenelektrodynamik (QED) beschrieben. Die elektromagnetische Wechselwirkung koppelt an die elektrische Ladung und wird durch das Photon als Austauscheteilchen übertragen. Ihre Reichweite ist aufgrund des masselosen Photons unendlich. Die schwache Wechselwirkung koppelt an die schwache Ladung und wird durch die massiven Vektorbosonen  $W^+$ ,  $W^-$  und  $Z^0$  übertragen. Ihre Reichweite ist wegen der großen Massen der  $W^\pm$ - und  $Z^0$ -Bosonen  $< 10^{-3} fm$ . Die schwache und die elektromagnetische Wechselwirkung können in einer einheitlichen Theorie, als elektroschwache Wechselwirkung, beschrieben werden [1]. Die starke Wechselwirkung wird im Standardmodell durch die Quantenchromodynamik (QCD) beschrieben. Sie koppelt an die Farbladung und wird durch Gluonen, von denen es acht verschiedene gibt, übertragen. Die Gluonen selbst tragen gleichzeitig Farbe und Antifarbe und wechselwirken deshalb auch untereinander. Diese Selbstwechselwirkung ist auch der Grund für die endliche effektive Reichweite der starken Wechselwirkung, obwohl den Gluonen die Masse Null zugeschrieben wird.

Während das gesamte Spektrum von Leptonen und Quarks und die Austauschbosonen der Wechselwirkungsfelder - das Photon,  $W^+$ ,  $W^-$  und  $Z^0$ -Bosonen und die Gluonen - experimentell beobachtet worden sind, steht die Entdeckung des Higgs-Bosons noch aus. Das Higgs-Boson ist ein skalares Teilchen ohne Spin, dessen Existenz aus der Theorie der elektroschwachen Vereinheitlichung vorhergesagt wird. In dieser Theorie wird eine spontane Symmetriebrechung postuliert, mit deren Hilfe die großen Massen der  $W^\pm$ - und  $Z^0$ -Bosonen, aber auch die Massen aller anderen fundamentalen Teilchen, erklärt werden können, die ansonsten als freie Parameter in das Standardmodell eingehen. Mit Hilfe des Standardmodells können alle Eigenschaften des Higgs-Bosons in Abhängigkeit von seiner Masse vorhergesagt werden. Nur über die Masse selbst macht das Standardmodell keine direkte Aussage. Präzisionsmessungen von elektroschwachen Parametern, ausgeführt am Elektron-Positron-Speicherring LEP am CERN, geben zusammen mit theoretischen Modellen einen *indirekten* Hinweis auf die zu erwartende Higgs-Masse. Abbildung 1.3 zeigt das Ergebnis dieser Analyse. Es zeigt sich, dass die wahrscheinlichste Masse um  $100 GeV$  liegt. Des Weiteren konnte eine obere Massengrenze von  $200 GeV$  mit einem Vertrauensniveau von 95% gesetzt werden [19]. Die vor der Stilllegung von LEP durchgeführte *direkte* Suche nach dem Higgs-Boson ergab eine untere Schranke von  $113,5 GeV$ . Erst der zukünftige Proton-Proton Kollider LHC wird die endgültige Gewissheit bringen können, ob das Higgs-Boson existiert oder nicht, denn seine Energie reicht aus, um den wahrscheinlichsten Higgs-Massenbereich abzudecken.

### 1.2.2 Physik jenseits des Standardmodells

Trotz großer Erfolge bleibt vieles am heutigen Standardmodell unbefriedigend. So gibt es eine Vielzahl freier Parameter, wie zum Beispiel die Stärke der Kopplungskonstanten der

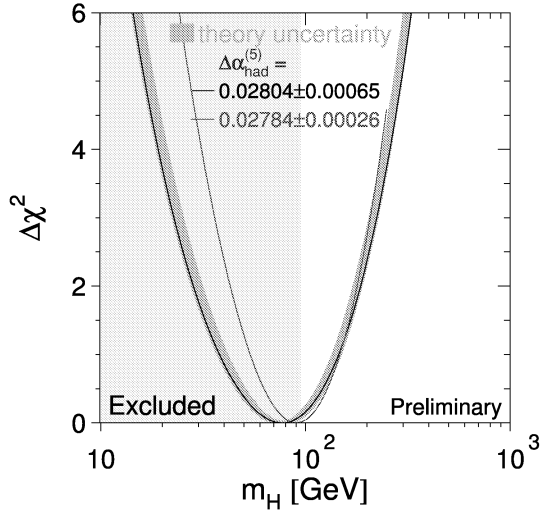


Abbildung 1.3: Präzisionsmessungen am LEP deuten auf ein "leichtes" Standardmodell Higgs-Boson im Bereich von  $100 \text{ GeV}$  hin [3]

Wechselwirkungen. Außerdem wäre es wünschenswert, wenn man nach dem Beispiel der elektroschwachen Vereinheitlichung eine vollständige Vereinheitlichung der Wechselwirkungen erreichen könnte. Die Suche nach neuer Physik stellt daher einer der Schwerpunkte der Forschungen am LHC dar.

Zahlreiche Theorien, die jenseits des Standardmodells reichen und einige der verbliebenen Fragen klären könnten, wurden vorgeschlagen. Eine der bekanntesten Theorien ist die Supersymmetrie (SUSY). Die SUSY ist ein Symmetriekonzept, bei der jedem bosonischen Teilchen und Feld ein fermionisches Partnerteilchen und Feld zugeordnet wird und umgekehrt. Damit wird die Theorie symmetrisch bezüglich des Spektrums von Fermionen und Bosonen und es kann eine vollständige Vereinheitlichung der Wechselwirkungen erreicht werden. Bei der supersymmetrischen Erweiterung des Standardmodells wird jedem Teilchen des Standardmodells je ein supersymmetrischer Partner zugeordnet. Die Leptonen und Quarks, Fermionen mit Spin  $1/2$ , besitzen als supersymmetrische Partner die Sleptonen und Squarks, Bosonen mit Spin  $0$ . Der Partner des Gluons (Spin  $1$ ) ist das Gluino (Spin  $1/2$ ). Die supersymmetrischen Partner der elektroschwachen Eichbosonen (Spin  $1$ ) und Higgs-Bosonen (Spin  $0$ ) sind die Charginos und Neutralinos (Spin  $1/2$ ). Die Supersymmetrie kann allerdings keine exakte Symmetrie in der Natur sein, da die von der SUSY vorhergesagten neuen Teilchen größere Massen als ihre Standardmodell-Partner haben müssen, ansonsten hätte man sie schon entdeckt. Theoretisch ungelöst ist die Frage, wie die Supersymmetrie gebrochen wird. Einige der postulierten supersymmetrischen Teilchen könnten in einem Massenbereich liegen, der dem LHC-Beschleuniger zugänglich ist.

### 1.2.3 Proton-Proton Streuung

Der zu erwartende totale inelastische Wirkungsquerschnitt bei einer Schwerpunktsenergie des LHC von  $14\text{ TeV}$  im Fall der Streuung von Protonen an Protonen beträgt rund  $70\text{ mb}$ <sup>3</sup>. Nach Gleichung 1.1 und einer Luminosität des LHC von  $10^{34}\text{ cm}^{-2}\text{ s}^{-1}$  ist damit mit knapp  $10^9$  Wechselwirkungen/s zu rechnen. Dies beinhaltet zwei Arten von Wechselwirkungen:

- Die meisten Wechselwirkungen sind die Folge von Kollisionen, bei denen die einfallenden Protonen großen Abstand haben und somit "als Ganzes" wechselwirken. Der Impulsübertrag ist im Allgemeinen klein, so dass die produzierten Teilchen im Endzustand nur einen kleinen Transversalimpuls aufweisen. Unter Transversalimpuls ist hierbei die Impulskomponente in der Ebene senkrecht zum Strahl zu verstehen. Diese Ereignisse, im Englischen *minimum-bias events*<sup>4</sup> genannt, sind nicht primäres Ziel der zu untersuchenden Physik am LHC.
- Bei Wechselwirkungen als Folge von Kollisionen, bei denen die einfallenden Protonen kleinen Abstand haben, ist der Impulsübertrag groß. Es werden massive Teilchen und/oder Teilchen mit großem transversalen Impuls und folglich unter großem Winkel zur Strahlrichtung produziert. Solch eine Wechselwirkung kann als Kollision zweier Partonen, den Konstituenten der Protonen, aus je einem der wechselwirkenden Protonen angesehen werden. Die geladenen Partonen werden mit den Quarks identifiziert, die elektrisch neutralen mit den Gluonen. Protonen bestehen aus drei Valenzquarks ( $p \equiv uud$ ) sowie einem "See" aus Quark-Antiquark-Paaren und Gluonen. Jeder Konstituent trägt nur einen Teil  $x$  des gesamten Proton-Impulses, weshalb bei der Kollision zweier Partonen entsprechend mit der reduzierten Schwerpunktsenergie  $\sqrt{x_1 x_2 s} \approx 0.1\sqrt{s}$  zu rechnen ist. Die anderen, unbeteiligten Partonen erzeugen durch Hadronisierung enge Teilchenbündel, so genannte *Jets*<sup>5</sup>. Die Ereignisse mit großem Transversalimpuls (*high- $p_T$  events*<sup>6</sup>) sind besonders interessant.

Abbildung 1.4 zeigt die voraussichtlichen Wirkungsquerschnitte bzw. Ereignisraten verschiedener Prozesse bei der Luminosität von  $10^{34}\text{ cm}^{-2}\text{ s}^{-1}$ . Es ist deutlich zu erkennen, dass die zu untersuchenden Reaktionen einen kleinen Wirkungsquerschnitt aufweisen. So ist z.B. der Wirkungsquerschnitt für die Produktion eines Higgs-Bosons sehr klein verglichen mit dem totalen Wirkungsquerschnitt ( $\sigma_{Higgs}/\sigma_{tot} \approx 10^{-11}$ ).

Die Seltenheit der interessanten und zu untersuchenden Ereignisse führt zu experimentellen Problemen, so existieren zwei größere Schwierigkeiten:

Zum einen werden die Ereignisse mit großem Transversalimpuls durch QCD-Prozesse (Jet-Produktion) dominiert. Ein interessanter Prozess muss nun aus diesem so genannten *QCD-Untergrund* extrahiert werden. Zum anderen überlappen die interessanten, aber seltenen Ereignisse mit den Ereignissen aus der Klasse der *minimum-bias events*, von denen im Mittel etwa 25 Stück pro *Bunch-Crossing* zu erwarten sind. Der Untergrund, der sich

---

<sup>3</sup>1 barn = 1 b =  $10^{-24}\text{ cm}^2$

<sup>4</sup>minimum-bias events: Ereignisse der weichen inelastischen Streuung

<sup>5</sup>aus dem Englischen: Bündel

<sup>6</sup>high- $p_T$  events: Ereignisse der tief-inelastischen Streuung



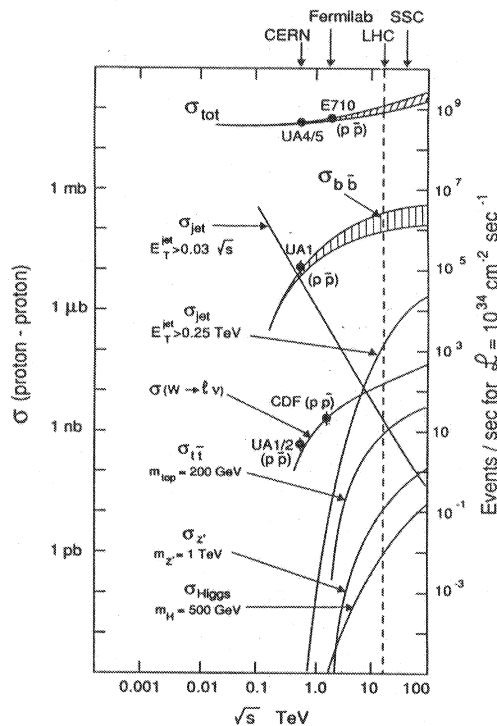


Abbildung 1.4: Wirkungsquerschnitte verschiedener bei der Proton-Proton Streuung stattfindender Prozesse als Funktion der Schwerpunktsenergie [2]

aus der Überlagerung der minimum-bias events mit den Ereignissen großen Transversalimpulses ergibt, nennt man *pile-up* (aus dem Englischen für: sich anhäufen, sich ansammeln). Das *pile-up* hat großen Einfluss auf den Entwurf der LHC-Detektoren. So sind sehr schnelle Detektor-Signale erforderlich (in der Größenordnung von 20–50 ns), um zu verhindern, dass die Signale von diesen Untergrundereignissen mit Signalen, die von potenziell interessanten Ereignissen nachfolgender Bunch-Crossings hervorgerufen werden, überlappen. Des weiteren müssen die LHC-Detektoren hochgradig granular sein, um die Wahrscheinlichkeit zu minimieren, dass ein Teilchen aus einem Untergrundereignis im gleichen Detektorelement ist wie das Teilchen aus einem interessanten Prozess (z.B. ein  $\gamma$  von dem Zerfall  $H \rightarrow \gamma\gamma$ ). Einer der LHC-Detektoren, der diesen Anforderungen genügt, ist ATLAS, auf den im folgenden Abschnitt näher eingegangen wird.

### 1.3 Der ATLAS-Detektor

Der ATLAS-Detektor ist ein Universaldetektor, der von einer weltweiten Kollaboration bestehend aus 150 Instituten aus 34 verschiedenen Ländern entwickelt und gebaut wird. Der ATLAS-Detektor wurde so entworfen, dass er in der Lage ist, viele unterschiedliche Aspekte der in Abschnitt 1.2 besprochenen Physik am LHC zu untersuchen. Eines der prominentesten Ziele des ATLAS Experiments ist die Entdeckung des Higgs-Bosons. Näheres

zur Suche nach dem Higgs-Boson findet sich in [49]. Ein weiteres großes Ziel ist die Suche nach neuer Physik jenseits des Standardmodells. Als eine der bekanntesten Theorien jenseits des Standardmodells wurde bereits in Abschnitt 1.2.2 die Supersymmetrie erwähnt. Mit dem LHC-Beschleuniger und dem ATLAS Experiment wird die Suche nach supersymmetrischen Teilchen mit Massen von bis zu  $\sim 5 TeV$  möglich. Als drittes großes Ziel von LHC und ATLAS ist die präzise Messung der top- und der W-Massen zu nennen, die fundamentale Parameter des Standardmodells darstellen. Bei einer Luminosität von  $10^{33} cm^{-2}s^{-1}$  ist mit der Produktion von  $10^7 t\bar{t}$ -Paaren pro Jahr und mit der Produktion von  $\sim 300 \times 10^6$  W-Bosonen<sup>7</sup> pro Jahr zu rechnen. Damit ergibt sich eine wesentlich größere Statistik zur Massenbestimmung des top- und des W-Bosons, eine Statistik, wie sie von LEP und von Tevatron, einem Proton-Antiproton Kollider am Fermilab, niemals erreicht wurde und wird. Eine detaillierte Beschreibung des geplanten Physik-Programms findet sich in [4].

Um dieses Physik-Programm realisieren zu können, setzt sich der ATLAS Detektor aus vielen Einzeldetektoren zusammen, die den Wechselwirkungsort fast lückenlos in mehreren Schichten, vergleichbar etwa den Schalen einer Zwiebel, umgeben. In Abbildung 1.5 sind die einzelnen Komponenten von ATLAS gut zu erkennen. Der Detektor hat eine Länge von  $40 m$ , einen Radius von  $10 m$  und ein Gewicht von  $7000 t$ .

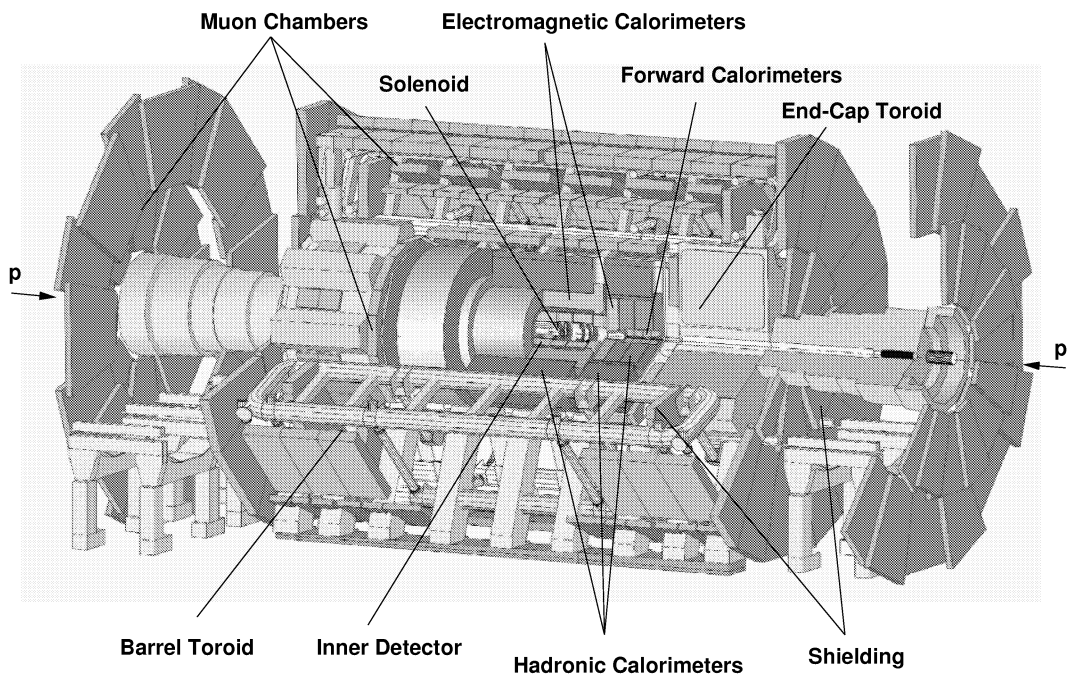


Abbildung 1.5: Der ATLAS Detektor am LHC

Passend zur Geometrie dieses Detektors wird gewöhnlich ein sphärisches Koordinatensystem mit dem Ursprung im Wechselwirkungspunkt eingeführt. Die Strahlachse fällt mit der  $z$ -Achse zusammen, der Azimutalwinkel  $\phi$  wird um die Strahlachse und der Polarwin-

<sup>7</sup>nur  $\sim 60 \times 10^6$  Ereignisse können für die Bestimmung der W-Masse genutzt werden

kel  $\theta$  als Winkel gegen die Strahlachse gemessen. Statt  $\theta$  verwendet man in der Regel die *Pseudorapidität*  $\eta = -\ln \tan \frac{\theta}{2}$ , die sich für  $\beta = \frac{v}{c} \rightarrow 1$  als Limes aus der Rapidität ergibt. Differenzen von  $\eta$  sind invariant unter Lorentz-Transformation.

Im Folgenden sollen nun die wichtigsten Detektorkomponenten, nämlich der innere Detektor, das Kalorimeter und das Myon-Spektrometer, von innen nach außen gehend, kurz vorgestellt werden. Von besonderem Interesse für diese Arbeit ist dabei das Kalorimetersystem, das Daten für den im Kapitel 2 besprochenen ATLAS Level-1 Kalorimeter Trigger zur Verfügung stellt und den Inhalt dieser Arbeit darstellt.

### 1.3.1 Der innere Detektor

Mit Hilfe des inneren Detektors lassen sich die Spuren von hunderten von geladenen Teilchen, die während einer Proton-Proton Kollision gebildet werden, rekonstruieren und unterscheiden. Zu diesem Zweck gibt es zunächst einmal in unmittelbarer Nähe des Wechselwirkungspunkts einen Pixeldetektor, der in der Lage ist, den Ort eines geladenen Teilchens mit einer Auflösung von besser als  $14 \mu\text{m}$  zu bestimmen. Weiter entfernt vom Wechselwirkungspunkt, wo die Dichte der Spuren deutlich geringer wird, befinden sich Siliziumstreifen-zähler. Noch weiter entfernt schließen sich die Drahtkammern an, mit deren Hilfe der Ort geladener Teilchen mit einer Genauigkeit von  $0.15 \text{ mm}$  bestimmt werden kann. Der gesamte innere Detektor ist von einem supraleitenden Solenoiden<sup>8</sup> umgeben. Aus der durch dieses Magnetfeld bewirkten Ablenkung geladener Teilchen lässt sich der Teilchenimpuls und die elektrische Ladung bestimmen.

### 1.3.2 Das Kalorimeter

Der innere Detektor ist vom Kalorimeter umgeben, das, vom Wechselwirkungspunkt aus gesehen, aus einem inneren, elektromagnetischen Teil und einem äußeren, hadronischen Teil besteht. Das elektromagnetische Kalorimeter dient der Bestimmung der Energie und Flugrichtung von Elektronen und Photonen, das hadronische Kalorimeter der Bestimmung der Energie und Flugrichtung einzelner Hadronen sowie hadronischer Jets. Es kommen hierbei so genannte *Sampling-Kalorimeter* zum Einsatz, die aus alternierenden Schichten von Absorbermaterial und sensitivem Material bestehen. Die durchlaufenden Teilchen verlieren in den Absorberschichten durch die Erzeugung von Schauern sekundärer Teilchen ihre Energie, die in den sensitiven Schichten durch Ionisation oder Anregung von Atomen nachgewiesen wird. Ein Pulsformer transformiert dann die gemessene Ionisationsladung in ein elektrisches Signal, das proportional zur deponierten Energie ist. Um die Energiedeposition innerhalb des Kalorimeters lokalisieren zu können, wird das Kalorimeter in eine große Zahl von Zellen aufgeteilt. Jede dieser Zellen liefert also ein elektrisches Signal an die Ausleseelektronik, das proportional zu der in ihr deponierten Energie ist. In diesem Zusammenhang wird häufig statt von Kalorimeterzellen auch von *Kanälen* gesprochen.

Abbildung 1.6 zeigt das Kalorimetersystem von ATLAS mit seinen wichtigsten Subbestandteilen. Es sind dabei die drei Raumbereiche *barrel*, *forward region* und *end-cap* zu unterscheiden. Barrel (aus dem Englischen: Fass, Tonne) bezeichnet den mittleren Bereich des Kalorimetersystems, das die Gestalt einer umgeworfenen Tonne ähnelt. End-cap (aus

---

<sup>8</sup>Die Magnetfeldlinien verlaufen parallel zum Strahl.

dem Englischen: Randkappe) bezeichnet die "Deckel" links und rechts der Tonne und mit forward region (aus dem Englischen: Vorwärtsbereich) ist der Bereich nahe des Strahlrohrs an den beiden Enden der Tonne gemeint.

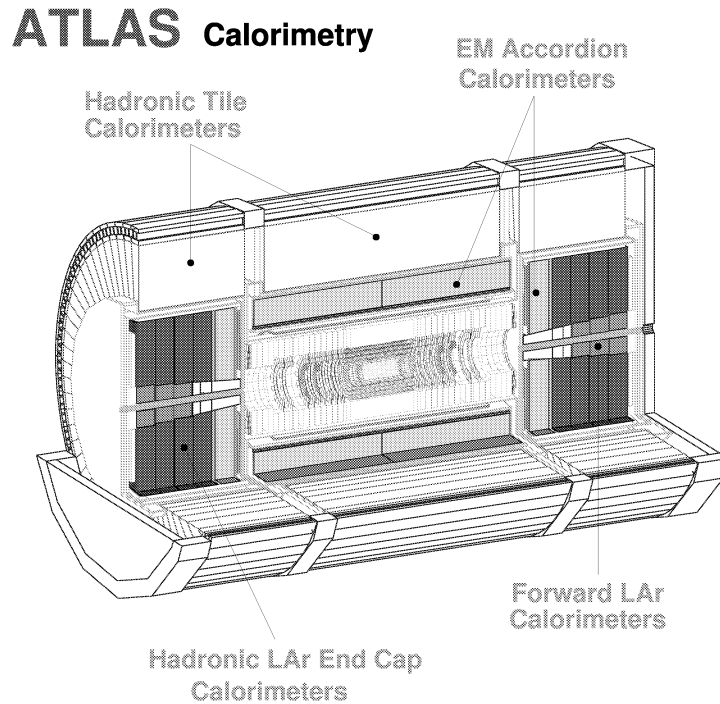


Abbildung 1.6: Das Kalorimetersystem von ATLAS

Im Falle des elektromagnetischen Kalorimeters erzeugen die einfallenden Elektronen und Photonen im Absorbermaterial durch sukzessive Bremsstrahlung und Paarbildungsprozessen eine Kaskade von Sekundärteilchen. Da Blei einen besonders großen Wirkungsquerschnitt für diese Prozesse aufweist, wird Blei als Absorbermaterial verwendet. Die spezielle Anordnung der Absorberschichten ist als *Akkordeon*-Geometrie bekannt geworden. Als sensitives Material kommt flüssiges Argon zum Einsatz. Das gesamte Kalorimeter, insbesondere die im in Strahlrichtung gelegenen Bereiche, sind einer sehr hohen Strahlenbelastung ausgesetzt. Flüssiges Argon erleidet keine Strahlenschäden, weshalb es sich in diesen Bereichen als sensitives Material besonders eignet. Darüber hinaus ist flüssiges Argon ein guter Isolator und hat nur ein äußerst geringes Bestreben, freie Elektronen zu binden, was sonst zu einer Verfälschung der Energiemessung führen würde. Damit auch hochenergetische Elektronen und Photonen ihre Energie fast vollständig im elektromagnetischen Kalorimeter abgeben können, wurde die Dicke dieses Kalorimeters im Bereich des *barrels*  $> 24 X_0$  (Strahlungslängen<sup>9</sup>) und in den *end-caps*  $> 26 X_0$  gewählt.

Im hadronischen Kalorimeter wird die Energie der Hadronen gemessen, die aufgrund ihrer im Vergleich zu den Elektronen großen Massen im elektromagnetischen Kalorimeter

<sup>9</sup>Die Strahlungslänge beschreibt die Wegstrecke, nach deren Durchqueren sich die Energie des Elektrons oder Photons um den Faktor  $e$  reduziert hat.

nur einen kleinen Teil ihrer Energie abgegeben haben. Im hadronischen Kalorimeter verlieren die Hadronen ihre Energie durch starke Wechselwirkung mit den Atomkernen des Absorbermaterials. Es entstehen Schauer aus vielen Sekundärteilchen, meistens weiteren Hadronen. Im Vergleich zum elektromagnetischen Schauer hat dieser hadronische Schauer eine größere räumliche Ausdehnung, es gibt auch größere Fluktuationen in Anzahl und Art der Sekundärteilchen. Im Bereich des barrels kommt Stahl, in der forward region Wolfram und in den end-caps Kupfer als Absorbermaterialien zum Einsatz. Als sensitives Material kommt wiederum flüssiges Argon zum Einsatz, nur im Bereich des barrels werden Plastiksziellatoren verwendet.

Das Kalorimeter überdeckt den sehr großen  $\eta$ -Bereich von  $-4.9$  bis  $+4.9$ . Dies ist besonders wichtig für eine genaue Messung der fehlenden transversalen Energie  $E_T^{miss}$  bzw. des entsprechenden fehlenden transversalen Impulses  $p_T^{miss}$ . Nach der Impulserhaltung muss die Vektorsumme der Transversalimpulse aller entstandenen Teilchen verschwinden, weil die stoßenden Protonen keinen Transversalimpuls haben. Trifft dies nicht zu, dann haben wechselwirkungsarme Teilchen, z.B. Neutrinos oder vielleicht heute noch nicht gefundene supersymmetrische Teilchen, Energie aus dem Detektor fortgetragen.

Ein konkretes Beispiel, in dem der Messung der fehlenden transversalen Energie eine besondere Bedeutung zukommt, ist der Zerfall des Higgs-Teilchens in der Reaktion  $H \rightarrow WW \rightarrow l\nu jetjet$ . Dieser Zerfall ist einer der dominierenden Zerfallskanäle des Higgs-Bosons, wenn das Higgs-Boson eine Masse im Bereich von  $600 \text{ GeV} \leq m_H \leq 1000 \text{ GeV}$  hat. Nun gilt es, diesen Zerfall vor dem Hintergrund anderer Prozesse zu identifizieren. Dazu wählt man Ereignisse aus mit:

- einem Lepton und *großem*  $E_T^{miss}$
- zwei Jets mit  $m_{JetJet} \approx m_W$
- zwei Jets in Vorwärts-/Rückwärtsrichtung

Es existieren zahlreiche weitere Beispiele, in denen unter anderem die fehlende transversale Energie herangezogen wird, um die spezifische Signatur eines Zerfallskanals vor dem Hintergrund anderer Prozesse zu identifizieren.

### 1.3.3 Das Myon-Spektrometer

Myonen sind ein eindeutiges Merkmal für bestimmte, physikalisch sehr interessante Reaktionen (z.B. die Reaktion  $H \rightarrow ZZ^* \rightarrow 4l$  mit  $l = \mu, e, \tau$ ). Sie durchdringen aufgrund ihrer im Vergleich zu Elektronen großen Masse den inneren Detektor und das Kalorimeter nahezu ungehindert. Das Myon-Spektrometer umgibt daher das gesamte Kalorimetersystem. Das Spektrometer befindet sich in einem sehr starken toroidalen<sup>10</sup> Magnetfeld, das von supra-leitenden Magneten erzeugt wird. Dieses Magnetfeld, das die Myonen auf stark gekrümmte Bahnen zwingt, ermöglicht die Bestimmung der Impulse und der elektrischen Ladung der Myonen.

---

<sup>10</sup>Die Magnetfeldlinien verlaufen in konzentrischen Kreisen um den Strahl und liegen in einer Ebene, die senkrecht zum Strahl steht.

Für eine präzise Messung der Myon-Spuren kommen hauptsächlich *Monitored Drift Tubes* (MDT) zum Einsatz. Nur in der Nähe des Strahls werden wegen des hohen Strahlungsuntergrunds *Cathode Strip Chambers* (CSC) verwendet. Zusätzlich zu diesen Präzisionskammern besitzt das Myon-Spektrometer mehrere Lagen von *Resistive Plate Chambers* (RPC) und *Thin Gap Chambers* (TGC). Diese Trigger-Kammern liefern schnell Informationen über Myon-Spuren und ermöglichen so dem Trigger, der im folgenden Kapitel besprochen wird, die Suche nach Ereignissen mit Myonen in Echtzeit. Für eine ausführliche Beschreibung des Myon-Spektrometers siehe [48].

## Kapitel 2

# Architektur des ATLAS Trigger-Systems

### 2.1 Überblick über das Trigger Konzept

Die große Wechselwirkungsrate von  $10^9 \text{ Hz}$  bei einer LHC-Luminosität von  $10^{34} \text{ cm}^{-2} \text{ s}^{-1}$  und die große Zahl der Auslesekanäle des ATLAS-Detektors von etwa 147 Millionen Stück führen zu hohen Anforderungen an die Elektronik des Auslesesystems. Um ein stattgefundenes Ereignis vollständig rekonstruieren zu können, muss der gesamte Detektor ausgelesen werden. Tabelle 2.1 fasst die in den verschiedenen Detektorkomponenten pro Bunch-Crossing anfallenden Datenmengen zusammen. Wie aus der Tabelle zu ersehen ist, fällt insgesamt pro Bunch-Crossing eine Datenmenge von 1.28 MByte an. Bei einer Bunch-Crossing-Rate von  $40 \text{ MHz}$  ergibt sich damit eine Datenrate von  $51.2 \text{ TByte/s}$ . Es ist unmöglich, diese Daten alle auf Massenspeicher abzulegen bzw. sie zu analysieren. Aus diesem Grund kommt ein Trigger-System zum Einsatz, das die Ereignisrate auf  $\sim 100 \text{ Hz}$  reduziert. Das Trigger-System muss in Echtzeit die Ereignisse auswählen, die physikalisch interessante Informationen enthalten. Trotz des enorm großen Faktors für die Ereignisreduktion in der Größenordnung von  $10^7$  darf aber keines der seltenen, physikalisch interessanten Ereignisse verloren gehen.

Detektor	Kanalzahl	Datenvolumen [kBytes]
Pixeldetektor	$1,4 \cdot 10^8$	50
Spurkammer	$5,6 \cdot 10^6$	850
Kalorimeter	$2,3 \cdot 10^5$	180
Myon Detektor	$1,3 \cdot 10^6$	200
Gesamt		1280

Tabelle 2.1: Im Detektor pro Bunch-Crossing entstehende Datenvolumina [5]

Da der Trigger für seine Entscheidung, ob ein Datensatz physikalisch relevant ist oder nicht, eine gewisse Zeit benötigt, müssen alle Daten des Detektors zwischengespeichert

werden. Dies geschieht mit Hilfe von so genannten Pipeline-Speichern, die kontinuierlich mit dem LHC-Takt alle Daten des Detektors aufnehmen. Prinzipiell ist ein Pipeline-Speicher ein Schieberegister, d.h. mit jedem Takt werden die aufgenommenen Daten eine Position weiterschoben. Um die notwendigen Pipeline-Speicher möglichst kurz bzw. klein und damit kostengünstig zu halten, ist eine schnelle Triggerentscheidung notwendig. Die Zeitspanne, die der Trigger für seine Entscheidungsfindung benötigt, bezeichnet man als *Latenzzeit*.

Das Trigger-System besteht aus drei Stufen, dem Level-1-, dem Level-2-Trigger und dem Event-Filter. Auf jeder Triggerstufe wird die Ereignisrate/Datenrate reduziert. Abbildung 2.1 illustriert den Datenstrom vom Detektor bis zur Speicherung auf einen Massenspeicher.

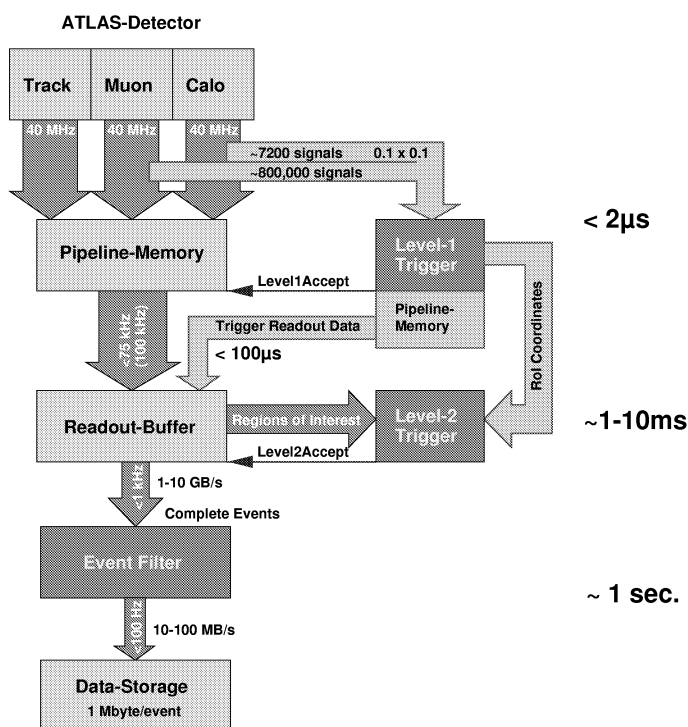


Abbildung 2.1: Detektor-Auslese und Trigger [6]. Näheres siehe Text.

Auf dem direkten, vertikalen Weg vom Detektor zu den Massenspeichern werden die vollen Datensätze, aber mit in jeder Triggerstufe verminderter Rate, weitergeleitet. Da die Latenzzeit des Level-1-Triggers nur  $2\mu s$  beträgt, kann der Level-1-Trigger nicht die volle Granularität des Kalorimeters nutzen und bekommt vom Myon-Spektrometer nur Daten von den in Abschnitt 1.3.3 erwähnten Triggerkammern, den RPC- und den TGC-Kammern. Daten des inneren Detektors, also der Pixel- und Spurdetektoren, werden vom Level-1-Trigger nicht benutzt. Der Level-1-Trigger reduziert die Ereignisrate von den anfänglichen  $40\text{ MHz}$  auf eine Ereignisrate unter  $75\text{ kHz}$ , mit der Option, diese Rate auch auf bis zu  $100\text{ kHz}$  erhöhen zu können.

Der komplette Datensatz eines Ereignisses, das vom Level-1-Trigger ausgewählt und



für physikalisch relevant gehalten wurde, wird vom Pipeline-Speicher, in dem alle Detektordaten bis zur Entscheidungsfindung des Level-1-Triggers gespeichert werden, in den *Readout-Buffer*<sup>1</sup> geschoben. Die Datensätze der nicht vom Level-1-Trigger ausgewählten Ereignisse werden verworfen. Die Latenzzeit des Level-2-Triggers beträgt etwa  $10\text{ ms}$ . Die große Latenzzeit der zweiten Triggerstufe ist aufgrund der hier zur Anwendung kommenden komplexen Trigger Algorithmen notwendig. Der Level-2-Trigger nutzt Daten mit voller Auflösung aus dem Readout-Buffer, jedoch nur für einige Bereiche des Kalorimeters, den so genannten *Regions of Interest* (RoI). Die Regions of Interest Informationen werden vom Level-1-Trigger zur Verfügung gestellt, sie geben die Position, in  $\eta$  und  $\phi$ , möglicherweise interessanter Objekte wieder. Der Level-2-Trigger reduziert die Ereignisrate auf unter  $1\text{ kHz}$ .

Die in den Readout-Buffer zwischengespeicherten Datensätze werden im Falle einer Akzeptanz durch den Level-2-Trigger in vollem Umfang und Auflösung zum Event-Filter transferiert, der das im Detektor stattgefundenere physikalische Ereignis rekonstruiert. Der Event-Filter reduziert dabei die Ereignisrate auf unter  $100\text{ Hz}$ . Der Event-Filter bedient sich dabei ähnlicher Algorithmen (z.B. Cluster + Jet Rekonstruktion) wie sie auch bei der Offline-Datenanalyse Verwendung finden werden. Die Daten werden schließlich mit einer Datenrate von rund  $100\text{ MByte/s}$  auf Massenspeichern abgelegt.

## 2.2 Der Level-1-Trigger

Der in Abbildung 2.2 schematisch dargestellte Level-1-Trigger besteht aus drei größeren Einheiten: dem zentralen Trigger Prozessor (CTP<sup>2</sup>), dem Myon Trigger und dem Kalorimeter Trigger, wobei der Kalorimeter Trigger im Zentrum dieser Arbeit steht.

Die Trigger Algorithmen suchen nach Signaturen, die isolierte Elektronen, isolierte Photonen, Hadronen und Taus, Jets oder Myonen beinhalten. Durch die Bestimmung der im gesamten Kalorimeter deponierten Energie lässt sich eine Aussage über die fehlende transversale Energie  $E_T^{miss}$  treffen, deren besondere Bedeutung in der Identifikation spezifischer Signaturen bereits in Kapitel 1 erläutert wurde. Da die Latenzzeit des Level-1-Triggers nur  $2\text{ }\mu\text{s}$  beträgt, ist es erforderlich, diese Triggerstufe sowohl aus speziell für diesen Anwendungszweck entworfenen integrierten Schaltkreisen, so genannten ASICs (*Application Specific Integrated Circuit*), als auch unter dem Einsatz von programmierbaren Logikbausteinen, den FPGAs (*Field Programmable Gate Array*), aufzubauen. Aus diesem Grund wird der Level-1-Trigger häufig als "Hardware Trigger" bezeichnet.

### 2.2.1 Der Kalorimeter Trigger

Abbildung 2.3 zeigt den Level-1 Kalorimeter Trigger. Der Kalorimeter Trigger verarbeitet ungefähr  $7200$  analoge *Trigger-Tower Signale*. Diese Trigger-Tower Signale entstehen durch Summation von jeweils bis zu  $60$  Kalorimeter-Kanälen. Jedes Trigger-Tower Signal repräsentiert die in einer Kalorimeterzelle mit der Fläche von  $0.1 \times 0.1$  in  $\eta$ - und

<sup>1</sup>Der Readout-Buffer ist ein Speicher, der die vollen Datensätze der vom Level-1-Trigger ausgewählten Ereignisse so lange aufbewahrt, bis der Level-2-Trigger seine Entscheidung getroffen hat.

<sup>2</sup>Central Trigger Processor

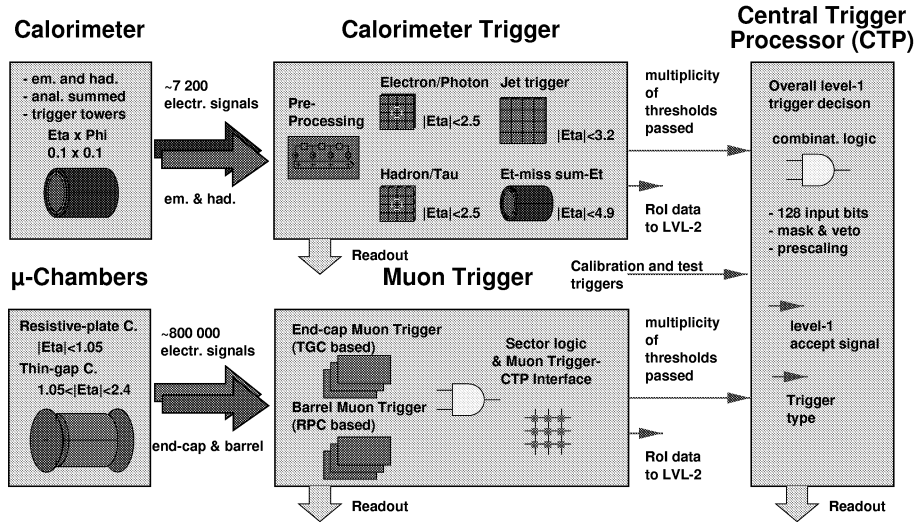


Abbildung 2.2: Das Level-1-Trigger-System mit seinen drei großen Einheiten: der Kalorimeter Trigger, der Myon Trigger und der zentrale Trigger Prozessor [6]. Nähere Erläuterungen im Text.

$\phi$ -Richtung deponierte transversale Energie. Die Tiefe einer solchen Kalorimeterzelle ist insofern gegeben, dass die Summation der Kalorimeter-Kanäle für das hadronische und das elektromagnetische Kalorimeter getrennt gemacht wird. Die Summation wird von der Kalorimeter Elektronik durchgeführt. Bevor das Trigger-Tower Signal den ersten Prozessor des Kalorimeter Triggers, den Prä-Prozessor, erreicht, wird es durch eine Kette von Operationsverstärkern, Pulsformern, Puffern, Verzögerungsglieder und Addierschaltungen aufbereitet. Mit Hilfe von bis zu 60 m langen Twisted-Pair-Kabeln<sup>3</sup> werden die Trigger-Tower Signale vom Detektor zur Trigger Elektronik übertragen. Am Prä-Prozessor angekommen, werden die analogen Trigger-Tower Signale zunächst digitalisiert. Die anschließende digitale Signalverarbeitung hat die Bestimmung der transversalen Energie des Kalorimeterpulses und die Zuordnung zum richtigen Bunch-Crossing zum Ziel. Die Zuordnung zum richtigen Bunch-Crossing ist notwendig, da sich der Kalorimeterpuls über mehrere Bunch-Crossing Perioden erstreckt. Eine detaillierte Beschreibung des Prä-Prozessors findet sich im Kapitel 3.

Die vom Prä-Prozessor generierten digitalen Daten werden an zwei nachfolgende, parallel arbeitende Prozessoren, den Cluster Prozessor (CP) und den Jet/Energy-Sum Prozessor (JEP), weitergereicht. Im Cluster Prozessor sind der Elektron/Photon und der Hadron/Tau Algorithmus implementiert. Der Elektron/Photon Algorithmus sucht nach isolierten Elektronen bzw. Photonen, indem er Trigger-Tower Zellen mit einer deponierten transversalen Energie sucht, die größer als eine vorgegebene und programmierbare Schwelle ist. Um sicherzustellen, dass es sich um eine räumlich isolierte elektromagnetische Energiedeposition handelt, wird ein Isolationskriterium angewandt. Hiernach muss

<sup>3</sup>Twisted-Pair-Kabel werden zur differenziellen Signalübertragung eingesetzt, sie bestehen aus zwei gleich langen gegeneinander verdrehten Leitungen, wodurch eine sehr gute Rauschunterdrückung erzielt wird.

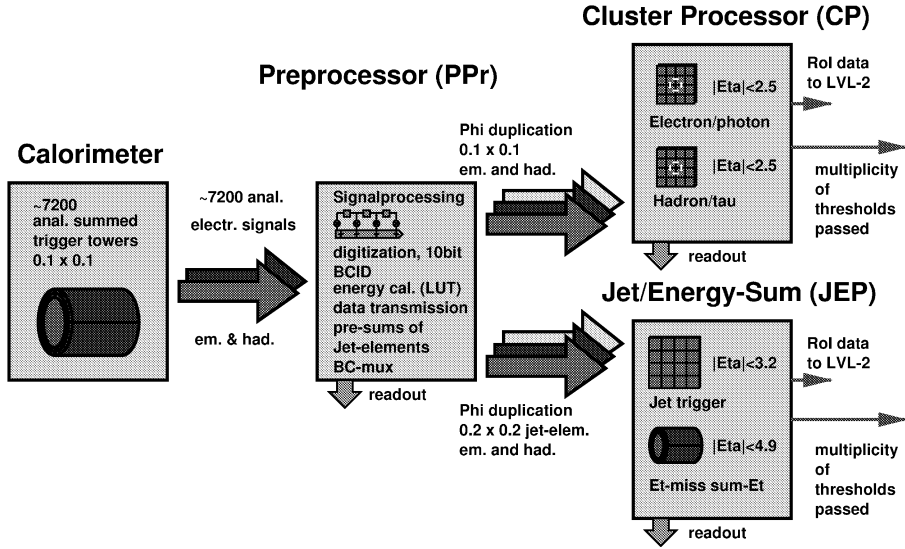


Abbildung 2.3: Der Kalorimeter Trigger mit seinen drei Prozessoren: der Prä-Prozessor, der Cluster Prozessor und der Jet/Energy-Sum Prozessor [6]

der Energieinhalt der zu der gefundenen Zelle benachbarten Trigger-Tower Zellen unter einer vorgegebenen Schwelle liegen. Um Elektronen bzw. Photonen von Jet-Spuren zu unterscheiden, werden zusätzlich die Zellen des hadronischen Kalorimeters betrachtet, die sich in Bezug auf den Wechselwirkungspunkt hinter der elektromagnetischen Zelle mit der Energiedeposition befindet. Ist die in den hadronischen Zellen vorliegende Energie klein, kann man davon ausgehen, dass es sich tatsächlich um ein isoliertes Elektron bzw. Photon handelt.

Der Jet/Energy-Sum Prozessor identifiziert Jets und ermittelt die totale transversale Energie  $E_T^{tot}$  und die fehlende transversale Energie  $E_T^{miss}$ . Da sich Jets über mehrere Trigger-Tower Zellen erstrecken, wird der Jet-Algorithmus auf ein quadratisches Fenster angewandt, das sich aus mehreren Trigger-Tower Zellen zusammensetzt. Dieses Fenster wird in kleinen Schritten über das Raster der Trigger-Tower Zellen geschoben. Sobald die im Fenster insgesamt deponierte Energie eine vorgegebene Schwelle übersteigt, wird ein Jet dieser Schwellenenergie gezählt. Da sich Jets überlappen können, muss dies bei der Zählung berücksichtigt werden. Die Größe des Fensters ist für die Effizienz des Jet-Algorithmus von entscheidender Bedeutung. Ist das Fenster zu klein, wird der Jet nicht vollständig erfasst und die Jet-Energie unterschätzt. Ist das Fenster zu groß, wird die Jet-Energie überschätzt, da in der großen Fensterfläche pile-up und Rauschen unerwünschte zusätzliche Energiebeiträge liefern.

Der  $E_T^{miss}$ -Trigger berücksichtigt Trigger-Tower aller Kalorimeter in einem  $\eta$ -Bereich von  $-4.9 < \eta < +4.9$ . Dieser große Akzeptanzbereich ist besonders wichtig, um große Fehler, verursacht durch Jets, die außerhalb des Akzeptanzbereiches liegen, bei der Bestimmung von  $E_T^{miss}$  auszuschließen. Der  $E_T^{miss}$ -Algorithmus summiert die in den einzelnen Trigger-Towern deponierte transversale Energie und bestimmt daraus die fehlende transversale Energie. Der Algorithmus sucht dann nach  $E_T$ -Werten, die größer als vorgegebene

Schwellenwerte sind.

All diese Trigger Algorithmen identifizieren also so genannte Trigger-Objekte anhand ihrer in den Trigger-Towern deponierten transversalen Energie. Die Zahl der jeweiligen Trigger-Objekte, die vorgegebene und programmierbare Energieschwellen passieren, wird gezählt und als Multiplizität (inklusive der dazugehörigen Energieschwelle) zum zentralen Trigger Prozessor gesandt. Die Koordinaten von Orten, an denen Objekte gefunden wurden, werden im Falle einer positiven Level-1-Trigger Entscheidung als Regions of Interest Informationen an den Level-2-Trigger übergeben.

### **2.2.2 Der Myon Trigger**

Der Myon Trigger erhält seine Daten von den in Abschnitt 1.3.3 erwähnten Triggerkammern, den RPC- und den TGC-Kammern. Die Gesamtzahl der Trigger-Kanäle beträgt mehr als 800,000. Ähnlich dem Kalorimeter Trigger überreicht der Myon Trigger dem zentralen Trigger Prozessor als Resultat die Multiplizität der Myonen für die verschiedenen Schwellen transversalen Impulses. Analog zum Kalorimeter Trigger sendet der Myon Trigger im Falle einer positiven Entscheidung des Level-1-Triggers Regions of Interest Informationen an den Level-2-Trigger.

### **2.2.3 Der zentrale Trigger Prozessor**

Die Aufgabe des zentralen Trigger Prozessors besteht darin, die Informationen des Kalorimeter Triggers und des Myon Triggers zu kombinieren, um daraus eine Entscheidung für den gesamten Level-1-Trigger zu ermitteln. Der zentrale Trigger Prozessor generiert ein *Level1Accept*-Signal, das diese Entscheidung repräsentiert. Dieses Level1Accept-Signal wird dann zusammen mit weiteren Informationen wie der Bunch-Crossing Nummer und der Ereignisnummer über das *Timing Trigger and Control* System an die einzelnen Auslesesysteme verteilt.

## Kapitel 3

# Der Level-1 Kalorimeter Trigger Prä-Prozessor

### 3.1 Überblick

Im letzten Kapitel wurde ein Überblick über den Level-1 Kalorimeter Trigger mit seinen Prozessoren - dem Cluster Prozessor, dem Jet/Energy-Sum Prozessor und dem Prä-Prozessor - gegeben. Im Folgenden soll näher auf den Prä-Prozessor eingegangen werden, der den Schwerpunkt der am Kirchhoff-Institut für Physik der Universität Heidelberg ausgeführten Arbeiten für ATLAS darstellt.

Insgesamt verarbeitet der Prä-Prozessor 7296 analoge Trigger-Tower Signale, die vom gesamten Kalorimetersystem kommen. Abbildung 3.1 und Abbildung 3.2 zeigen beispielhaft zwei Trigger-Tower Signale des hadronischen End-Cap Kalorimeters, einem Sampling-Kalorimeter mit flüssigem Argon als sensitivem Material. Daten aus Prototypmodulen dieser Kalorimeter wurden in der Teststrahlanlage am CERN aufgenommen und diese dann mit Hilfe einer Grafikkarte visualisiert (siehe [14]). Beide Signale weisen den für Sampling-Kalorimeter mit flüssigem Argon typischen Unterschwinger auf, d.h. das Signal geht unter die Nulllinie und nähert sich ihr wieder in asymptotischer Weise. Abbildung 3.2 zeigt den Fall einer Saturation, das Signal scheint in einem solchen Fall bei Überschreiten der Saturationsgrenze abgeschnitten zu werden. Die Saturationsgrenze wird von der Elektronik, die vor dem Prä-Prozessor kommt und die Trigger-Tower Signale aufbereitet, bestimmt [6].

Die Aufgabe des Prä-Prozessors besteht darin, Signale der einzelnen Trigger-Tower zu empfangen und zu digitalisieren, eine komplexe digitale Signalverarbeitung in Bezug auf Zeit und Amplitude durchzuführen und daraus zwei unabhängige Datenströme zu produzieren. Der so genannte *Echtzeit Datenstrom* liefert digitale Daten an den Cluster Prozessor und den Jet/Energy-Sum Prozessor und ein zweiter, bidirektionaler Datenstrom ermöglicht das totzeitfreie Auslesen von Trigger-Rohdaten des Prä-Prozessors und das Einspielen von Konfigurationsdaten in den Prä-Prozessor.

Der folgende Abschnitt gibt eine detaillierte Beschreibung der wichtigsten Hardware Komponenten des Prä-Prozessors und ihrer Aufgaben.

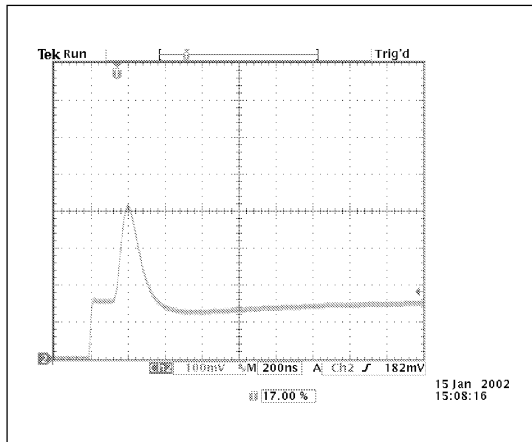


Abbildung 3.1: Mittels einer Grafikkarte visualisierte Daten vom End-Cap Kalorimeter. Der Start des nicht-saturierten Signals wurde durch die Grafikkarte verfälscht.

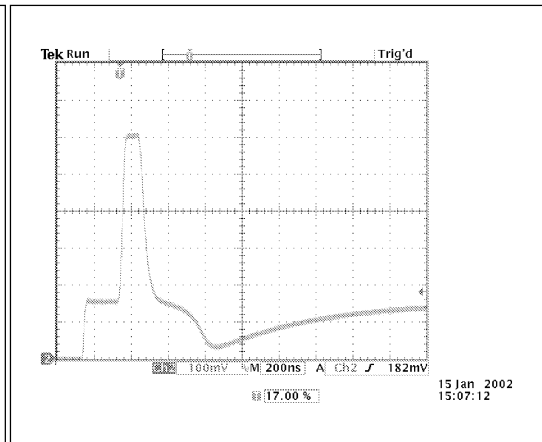


Abbildung 3.2: Mittels einer Grafikkarte visualisierte Daten vom End-Cap Kalorimeter. Der Start des saturierten Signals wurde durch die Grafikkarte verfälscht.

## 3.2 Hardware Komponenten des Prä-Prozessors

Der komplette Prä-Prozessor besteht aus 128 identischen *Prä-Prozessor Modulen* (PPM). 16 so genannte *Readout Driver Module* (ROD) sammeln die Auslesedaten von jeweils 8 PPMs mit Hilfe eines ringähnlichen Bussystems, *Pipeline-Bus* genannt [27], und senden diese Auslesedaten mittels *S-Links* (Standardlinks des CERN [7]) an die *Readout Buffer* (ROB). Diese Module werden in 8 Überriesen, auch *Crates* genannt, untergebracht. In jedem *Crate* befindet sich zusätzlich noch je ein VME-Bus *Crate Controller*, mit dem über VME<sup>1</sup>-Bus auf die verschiedenen Module zugegriffen werden kann. Da von den  $2\ \mu\text{s}$  Latenzzeit des gesamten Level-1-Triggers dem Prä-Prozessor nur  $0.45\ \mu\text{s}$ , 18 Bunch-Crossings entsprechend, zustehen, ist ein sehr schnelles System mit hoher Integrationsdichte zur Minimierung der Laufzeiten und zur Minimierung des notwendigen Raumbedarfs erforderlich. Unter dem Einsatz von Multichip-Modulen (MCM), auf denen mehrere Mikrochips in "Die"<sup>2</sup>-Form gruppiert sind, wird dieser Anforderung Genüge getan. Das hier eingesetzte Prä-Prozessor Multichip-Modul (PPrMCM), das den Inhalt dieser Arbeit darstellt, übernimmt die Verarbeitung von je vier Trigger-Tower Signalen. Es ist gleichzeitig die kleinste austauschbare Komponente des PPMs.

Ein PPM ist für die Verarbeitung von 64 Trigger-Tower Signalen zuständig, trägt demnach also unter anderem 16 PPrMCMs. Abbildung 3.3 zeigt ein erstes Layout dieser  $36.6\ \text{cm}$  hohen und  $40.0\ \text{cm}$  tiefen Leiterplatte.

An der Vorderseite (im Bild links) befinden sich 4 Steckerleisten, die je 16 differenzielle Trigger-Tower Signale aufnehmen. Zwischen diesen Steckern und den PPrMCMs befinden sich 4 so genannte *Analog Input Boards*, die je 16 analoge Trigger-Tower Signale gemäß den

<sup>1</sup>Versa Module Eurocard

<sup>2</sup>Die: mit Die bezeichnet man allgemein Siliziumchips ohne Gehäuse.

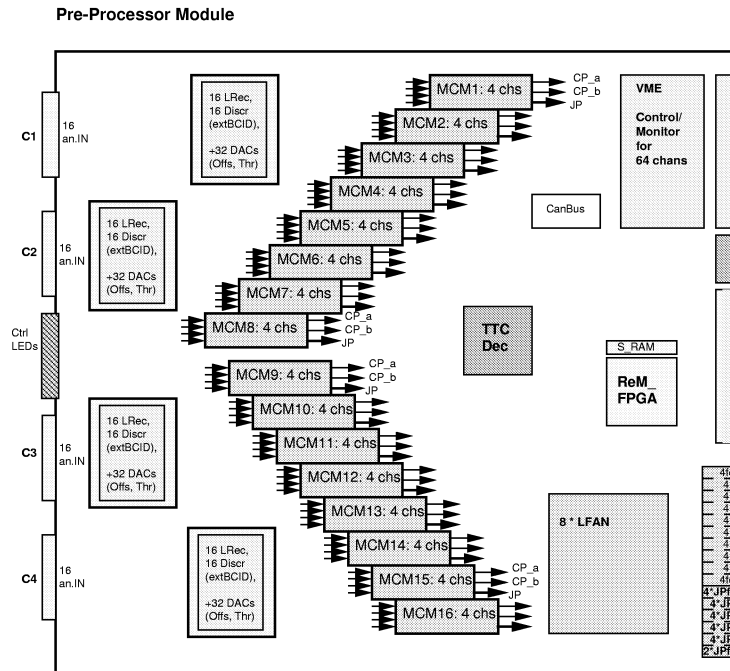


Abbildung 3.3: Das Prä-Prozessor Modul (PPM) [12]

Anforderungen der nachfolgenden PPrMCMs aufbereiten. Die Anordnung der 16 PPrMCMs auf dem PPM wurde in Bezug auf einen optimalen Wärmeaustausch und in Bezug auf kleinstmögliches Übersprechen zwischen den analogen Eingangssignalen und den hochfrequenten differenziellen Ausgängen des PPrMCMs hin optimiert. Temperatursimulationen verschiedener Anordnungen der PPrMCMs auf dem PPM finden sich in [8]. Die Auslesedaten der PPrMCMs werden vom RemFPGA<sup>3</sup> gesammelt und an der Schnittstelle zum Pipeline-Bus auf der Rückseite des PPMs zur Verfügung gestellt. Neben den Auslesedaten gibt es noch die Daten des Echtzeit Pfades. Diese werden von LVDS<sup>4</sup> Treiber Chips, die sich unten rechts auf dem PPM befinden, gepuffert und senden die Daten anschließend über bis zu 20 m lange [12] Kabel zum Cluster Prozessor und zum Jet-Energy-Sum Prozessor. Zurzeit sind als Treiber Chips LFANs<sup>5</sup>, das sind ASICs, die am Kirchhoff-Institut für Physik der Universität Heidelberg entwickelt wurden, vorgesehen. Erste erfolgreiche Tests der LFANs wurden durchgeführt, ein ausführlicher Testbericht findet sich in [15]. Als Alternative zu den LFANs sind wahrscheinlich FPGAs möglich, Tests hierzu befinden sich in Vorbereitung, konkrete Ergebnisse stehen allerdings noch aus. Passive Bauteile auf dem PPM sorgen für die notwendige Vorkompensation.

Weitere Komponenten auf dem PPM sind der *CanBus* [46] und die Tochterkarte *TTC*<sup>6</sup> *Decoder* [47]. Über den CanBus werden Kontrolldaten wie die Temperatur der 16 PPrASICs pro PPM oder verschiedene auf dem PPM gemessene Spannungen zur

<sup>3</sup>Readout Merger Field Programmable Gate Array

<sup>4</sup>Low Voltage Differential Signaling

<sup>5</sup>LFAN: LVDS Fanout

<sup>6</sup>TTC: Trigger and Timing Control system

Verfügung gestellt, die Aufschluss über das korrekte Funktionieren eines PPMs geben. Der TTC Decoder empfängt globale System-Signale wie z.B. den  $40\text{ MHz}$  LHC-Takt oder das Level1Accept-Signal und verteilt diese entsprechend auf dem PPM.

Darüber hinaus besitzt jedes PPM eine Schnittstelle zum VME-Bus, über den das PPM konfiguriert und getestet werden kann.

### 3.2.1 Das Analog Input Board

Vier Analog Input Boards, die als Tochterkarten auf das PPM gesteckt werden, bereiten je 16 analoge Trigger-Tower Signale gemäß den Anforderungen des nachfolgenden PPrM-CMs auf. Abbildung 3.4 zeigt schematisch die Verarbeitung eines von 16 Trigger-Tower Signalen. Die differenziell am PPM ankommenden Trigger-Tower Signale werden zunächst mit Hilfe des Operationsverstärkers OPA4650 in Single-Line Signale umgewandelt. Die Eingangsspannung wird linear abgebildet und zwar so, dass  $0\text{--}2.5\text{ V}$  einer transversalen Energie von  $0\text{--}250\text{ GeV}$  entsprechen. Der folgende Operationsverstärker LT1813 schwächt das Signal auf den  $1\text{ V}_{pp}$ <sup>7</sup> Eingangsspannungsbereich des im folgenden Abschnitt näher erläuterten Analog Digital Umsetzers (ADC<sup>8</sup>), der sich auf dem PPrMCM befindet, ab. Mittels des achtkanaligen Digital Analog Umsetzers (DAC<sup>9</sup>) MAX529 wird die Nulllinie des Signals verschoben.

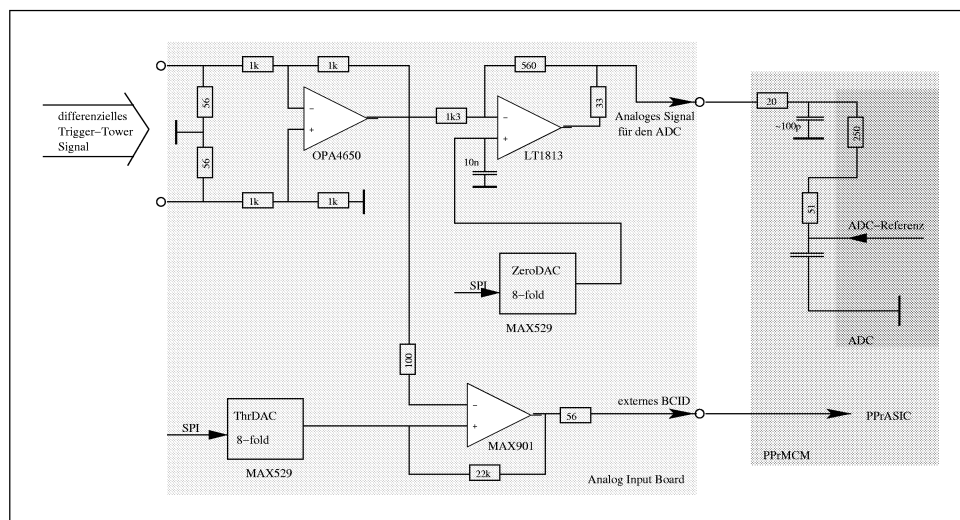


Abbildung 3.4: Blockdiagramm des Analog Input Boards [13]. Dargestellt ist die Verarbeitung eines von insgesamt 16 Trigger-Tower Signalen. Rechts ist das PPrMCM dargestellt, nach dessen Anforderungen die Signalaufbereitung vom Analog Input Board durchgeführt wird.

<sup>7</sup>  $1\text{ V}_{pp}$ :  $1\text{ V}$  peak-to-peak

<sup>8</sup> Analog-to-Digital Converter

<sup>9</sup> Digital-to-Analog Converter



Das Analog Input Board ist darüber hinaus für die Generierung des so genannten *externen BCIDs* zuständig. Da sich die Trigger-Tower Signale über mehrere Bunch-Crossings erstrecken, ist es erforderlich, das Maximum dieser Pulse zu bestimmen und dem richtigen Bunch-Crossing zuzuordnen. Man spricht vom so genannten *Bunch-Crossing Identification* (BCID). Das externe BCID wird mittels des Komparators MAX901 gebildet. Dieser produziert eine "1", wenn seine programmierbare Schwelle vom Single-Line Signal überschritten wird und geht wieder auf "0" zurück, wenn die Schwelle unterschritten wird. Neben diesem externen BCID werden zusätzlich noch zwei weitere Verfahren von BCID durchgeführt. Diese sind in dem in Abschnitt 3.2.3 beschriebenen Prä-Prozessor ASIC (PPrASIC) implementiert.

### 3.2.2 Das Prä-Prozessor Multichip-Modul (PPrMCM)

Das PPrMCM ist die zentrale Hardware Komponente des Prä-Prozessors, die die wichtigsten Aufgaben des Prä-Prozessors realisiert: die vom Analog Input Board aufbereiteten Trigger-Tower Signale digitalisieren, eine komplexe digitale Signalverarbeitung in Bezug auf Zeit und Amplitude durchführen und die zwei bereits erwähnten unabhängigen Datenströme produzieren. Der *Echtzeit Datenstrom* liefert digitale Daten an den Cluster Prozessor und den Jet/Energy-Sum Prozessor und der zweite Datenstrom ermöglicht totzeitfreies Auslesen von Trigger-Rohdaten des Prä-Prozessors. Das PPrMCM kombiniert die Verarbeitung und Auslese von vier Trigger-Tower Signalen. Hierzu kommen neun Dies zum Einsatz, die teilweise kommerziell erhältlich sind oder als ASICs realisiert wurden. Im Einzelnen sind dies: vier ADCs, ein ASIC namens Phos4, ein PPrASIC, drei LVDS Serialisierer. Abbildung 3.5 zeigt schematisch die Verarbeitung eines Trigger-Tower Signals. Diese Verarbeitungskette wird im Folgenden häufig zusammenfassend als *Kanal* bezeichnet. Der Echtzeit Datenstrom geht in dieser Abbildung von links nach rechts.

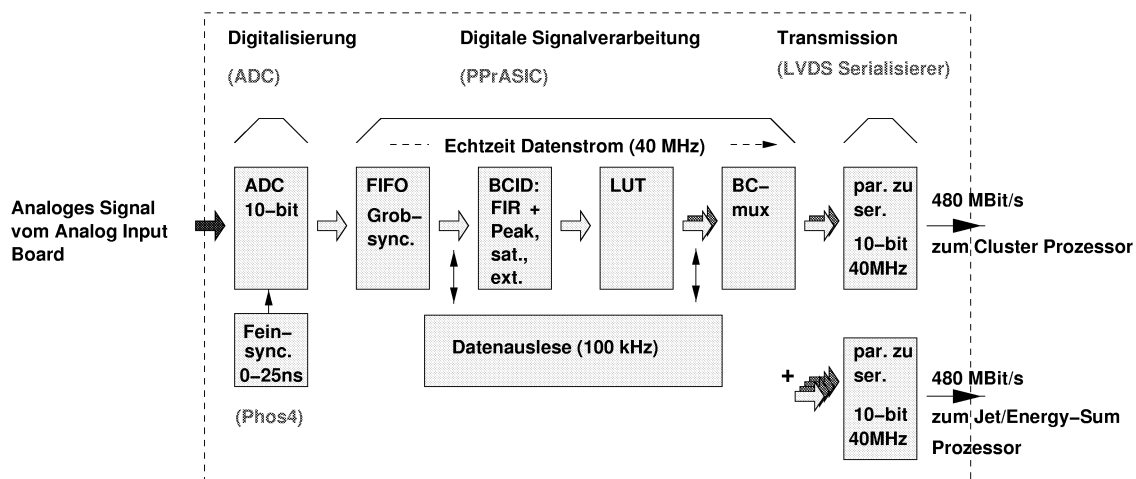


Abbildung 3.5: Block Diagramm des PPrMCMs. Nähere Erläuterungen im Text.

Im ersten Schritt werden die analogen Trigger-Tower Signale mit einer Abtastrate identisch zum LHC-Takt von  $40\text{ MHz}$  digitalisiert. Die hierzu verwendeten AD9042 ADCs von

Analog Devices [9] besitzen einen Eingangsspannungsbereich von  $2.4 V \pm 0.5 V$ , bezogen auf die interne Referenzspannung von  $2.4 V$ . Das Analog Input Board hat die Trigger-Tower Signale diesem Eingangsbereich, wie oben bereits beschrieben, angepasst. Der AD9042 ADC hat eine Auflösung von 12-Bit, wobei die beiden Bits mit niedrigster Signifikanz (LSB<sup>10</sup>) nicht genutzt werden. Mit dem verbleibenden Codierungsbereich des ADC von 0–1023 und dem Eingangsbereich von  $1 V_{pp}$  entspricht damit 1 LSB ungefähr  $1 mV$ , eine höhere Auflösung würde für diese Anwendung keinen Sinn machen. Der Grund, weshalb dennoch 12-Bit ADCs statt 10 Bit ADCs eingesetzt werden, besteht in einer Erhöhung der effektiven Zahl der Bits (ENOB<sup>11</sup>). Die ENOB ist ein Maß für die dynamische Leistungsfähigkeit eines ADCs ausgedrückt in der Anzahl von Bits. Die ENOB hängt mit der Zahl der digitalen Ausgangsbits zusammen, unterscheidet sich aber von dieser in folgender Hinsicht: die digitalen Ausgangsbits werden über die theoretische Leistungsfähigkeit eines ADCs bestimmt, während die ENOB die tatsächliche Leistungsfähigkeit repräsentiert. Abweichungen von der theoretischen Leistungsfähigkeit ergeben sich z.B. durch Nicht-Linearitäten und Rauschen. Hierzu wurden mit Hilfe einer Evaluationskarte Messungen durchgeführt. Näheres hierzu findet sich in [8]. Der Abtastzeitpunkt des ADCs in Bezug auf das analoge Signal kann im Bereich von  $25 ns$  in Schritten von  $1 ns$  angepasst werden und zwar unabhängig für jeden Trigger-Tower. So kann sichergestellt werden, dass jedes Signal bei seinem Maximum abgetastet wird. Hierfür kommt ein ASIC namens *Phos4* [10], der von der CERN Microelectronics Group entwickelt wurde, zum Einsatz. Von jedem der vier ADCs je PPrMCM geht ein 10 Bit breiter Datenbus zu einem vierkanaligen Prä-Prozessor-ASIC (PPrASIC). Dieser am Kirchhoff-Institut für Physik der Universität Heidelberg entwickelte ASIC führt die gesamte digitale Signalverarbeitung durch. Eine detaillierte Beschreibung dieses ASICs folgt im nächsten Abschnitt. Die Ausgänge des PPrASICs sind mit drei LVDS Serialisierern von National Semiconductor vom Typ DS92LV1021 [11] verbunden. Eine Serialisierung der Daten ist notwendig, da eine parallele Übertragung der Daten zu den mehrere Meter entfernten Trigger-Prozessoren eine nicht mehr handhabbare Zahl an Leitungen erfordern würde. Im Falle der Übertragung der Daten, die für den Cluster Prozessor bestimmt sind, wird ein im PPrASIC integriertes 2:1 Multiplexer Schema (Bunch-Crossing Multiplexing) angewandt, so dass nur zwei LVDS Serialisierer die Daten von vier Kanälen übertragen, wodurch sich die Zahl der benötigten Leitungen und Serialisierer im Falle des Cluster Prozessors halbiert. Für die Daten, die für den Jet/Energy-Sum Prozessor bestimmt sind, genügt sogar ein LVDS Serialisierer, da vier Trigger-Tower im PPrASIC zu Jet-Elementen zusammengefasst werden. Zu jedem dieser drei LVDS Serialisierer geht ein 10 Bit breiter paralleler Datenbus vom PPrASIC. Die LVDS Serialisierer transformieren diese Datenbusse dann jeweils in einen einzelnen seriellen Datenstrom. Mit der Taktrate von  $40 MHz$  ergibt sich damit jeweils eine Datenrate von  $400 MBit/s$  bzw. von  $480 MBit/s$  inklusive Start- und Stoppbit. Die Cluster Prozessor Daten enthalten einen 8 Bit Energiewert, ein Bunch-Crossing Multiplexing Statusbit, das angibt, von welchem PPrASIC-Kanal die Daten kommen und schließlich ein Paritätsbit. Die Jet/Energy-Sum Prozessor Daten enthalten ein 9 Bit Energiewert und ein Paritätsbit.

Abbildung 3.5 zeigt auch den zweiten vom PPrMCM generierten Datenstrom, die tot-

---

<sup>10</sup>Least Significant Bit

<sup>11</sup>ENOB: Effective Number of Bits

zeitfreie Auslese von Trigger-Rohdaten. Im PPrASIC existieren zwei Sätze von Pipeline-Speicher, die Ereignisdaten des Prä-Prozessors aufnehmen. Zum einen werden die digitale Daten von den ADCs, zum anderen der im nächsten Abschnitt beschriebenen *Look-Up Table* (LUT) geradewegs nachfolgende Daten, gespeichert. Die Datenauslese ermöglicht die Überwachung der korrekten Arbeitsweise des Triggers, liefert Informationen zu Diagnosezwecken und ermöglicht das Nachvollziehen jeder getroffenen Triggerentscheidung. Im laufenden Betrieb von ATLAS werden Trigger-Rohdaten gewöhnlich nur im Falle einer positiven Entscheidung des gesamten Level-1-Triggers ausgelesen, d.h. für den Auslesestrom des PPMs ergibt sich im Mittel eine Rate von nur  $100\text{ kHz}$  im Gegensatz zu den  $40\text{ MHz}$  des Echtzeit Datenpfades, der an die nachfolgenden Prozessoren geschickt wird.

Über die funktionelle Beschreibung des PPrMCM hinausgehende, weitere ausführliche Informationen finden sich in Kapitel 4.

### 3.2.3 Der Prä-Prozessor ASIC

Der PPrASIC bildet die zentrale Komponente auf dem PPrMCM. Er führt die gesamte, in Abbildung 3.5 mit dargestellte digitale Signalverarbeitung für vier Trigger-Tower Signale durch. Die wichtigsten Schritte bei der Verarbeitung der Trigger-Tower Signale in Richtung des Echtzeit Datenstromes sind: Synchronisation der Kanäle mittels FIFOs<sup>12</sup>, BCID, Kalibration mittels LUTs, Formation von Jet-Elementen und BC-Mux (Bunch-Crossing Multiplexing), einem 2:1 Multiplexer Schema, das im Fall der Übertragung der Daten zum Cluster Prozessor angewandt wird.

Die von den ADCs kommenden und vom PPrASIC mit der positiven (wahlweise auch mit der negativen) Flanke des LHC-Taktes übernommenen digitalisierten Daten müssen zum selben Bunch-Crossing synchronisiert werden. Dies ist notwendig aufgrund der unterschiedlichen Flugzeit der Teilchen vom Wechselwirkungspunkt zu den einzelnen Trigger-Towern und der unterschiedlichen Kabellängen von den einzelnen Trigger-Towern zur Trigger Elektronik. Diese Synchronisation wird in Schritten von  $25\text{ ns}$  durch je ein FIFO bewerkstelligt, das die digitalisierten Daten so lange speichert, bis die durch die unterschiedlichen Flugzeiten und Kabellängen verursachten Verzögerungen kompensiert sind. Die Fein-Synchronisation in Schritten von  $1\text{ ns}$  wird, wie oben bereits beschrieben, mit Hilfe des Phos4s realisiert.

Im PPrASIC gibt es zwei verschiedene BCID-Algorithmen, die die durch das Trigger-Tower Signal repräsentierte deponierte transversale Energie identifizieren und dem zeitlich dazugehörigen Bunch-Crossing zuordnen. Während der FIR<sup>13</sup>-Filter zusammen mit dem "peak-finder"<sup>14</sup> für ungesättigte Pulse optimiert ist, ist der gesättigte BCID-Algorithmus für gesättigte Pulse optimiert. Beide Algorithmen arbeiten parallel und sind immer aktiv. Als dritter BCID Mechanismus wurde das auf dem Analog Input Board generierte externe BCID vorgestellt. Das digitale externe BCID Signal wird vom PPrASIC empfangen. Eine Entscheidungslogik im PPrASIC ordnet die drei BCID Mechanismen drei disjunkten Energiebereichen zu. Diese werden dadurch gebildet, dass der gesamte Bereich der transversalen Energie durch das Setzen von zwei programmierbaren Schwellen in

---

<sup>12</sup>FIFO: First In, First Out

<sup>13</sup>FIR: Finite Impulse Response

<sup>14</sup>aus dem Englischen: Maximum-Sucher

drei Intervalle aufgeteilt wird. Zu jedem dieser Energiebereiche gehört eine LUT, in der eingetragen wird, welcher der drei BCID Mechanismen für die einzelnen Energiebereiche zuständig sein soll. Je nach dem in welchen Energiebereich die deponierte transversale Energie des Trigger-Tower Signals fällt, liefert der mit dem betreffenden Energiebereich zugeordnete BCID Mechanismus das BCID. Die möglichen Arbeitsbereiche der drei BCID Mechanismen überlappen dabei in weiten Bereichen.

Eine LUT ermöglicht die Transformation, gekoppelt an eine Kalibration, der digitalisierten Daten auf transversale Energie und ermöglicht die Subtraktion eines konstanten Untergrunds. Dies geschieht, indem den 10 Bit Daten nach dem BCID über eine für jeden Kanal verschiedene Tabelle ein 8 Bit Wort zugeordnet wird. Technisch realisiert wird diese LUT durch die Verwendung eines  $1024 \times 8$  Bit breiten Speichers.

Der PPrASIC summiert vier benachbarte Trigger-Tower zu je einem Jet-Element, das somit eine Größe von  $0.2 \times 0.2$  in  $\eta \times \phi$  hat. Die 10 Bit Summe, die sich aus der Addition der vier 8 Bit Trigger-Tower Daten nach Umrechnen auf die transversale Energie durch die LUT ergibt, wird vor der Übergabe an den LVDS Serialisierer, der diese Daten dann zum Jet/Energy-Sum Prozessor schickt, auf 9 Bit gekürzt.

Im Falle der Daten, die für den Cluster Prozessor bestimmt sind, wird das Bunch-Crossing Multiplexing verwendet. Die Daten von je zwei Kanälen werden abwechselnd in zwei aufeinanderfolgenden Takten zu den LVDS Serialisierern, die die Daten für den Cluster Prozessor verschicken, übergeben. Den Datenbits wird zusätzlich ein Statusbit hinzugefügt, das es dem LVDS Empfänger ermöglicht, die erhaltenen Daten eindeutig dem richtigen Kanal und Bunch-Crossing zuzuordnen zu können.

Jeder PPrASIC besitzt zwei serielle Schnittstellen, über die zum einen die digitalisierten Rohdaten von den ADCs und zum anderen der LUT geradewegs nachfolgenden BCID-Ergebnisse inklusive der kalibrierten transversalen Energie ausgelesen werden können. Zu diesem Zweck besitzt der PPrASIC interne Pipeline-Speicher, die zyklisch Daten des Echtzeit Datenpfades speichern. Sie sind 128 Worte tief, was einer zeitlichen Speichertiefe von  $3.2 \mu s$  entspricht. Bei jedem Level1Accept-Signal werden von dort aus die Daten des zugehörigen Bunch-Crossings in einen *Derandomizer Buffer*<sup>15</sup> kopiert. Von dort können die Daten dann über die serielle Schnittstelle ausgelesen werden. Es ist zudem möglich, auch die Daten von mehreren Bunch-Crossings aus der Umgebung des vom Level-1-Trigger akzeptierten Bunch-Crossings mit auszulesen. Der Derandomizer Buffer ist erforderlich, da die Frequenz des Level1Accept-Signals nur *im Mittel* etwa  $100 \text{ kHz}$  beträgt. Auch bei einer statistischen Häufung des Level1Accept-Signals ist so eine totzeitfreie Datenauslese garantiert. Der PPrASIC besitzt darüber hinaus eine zweite Kategorie von Speichern, die so genannten *Playback Memories*. Diese können über die seriellen Schnittstellen beschrieben werden und ermöglichen das Einspielen von Daten zu Testzwecken. Eine ausführliche Beschreibung des PPrASICs findet sich in [16].

Der PPrASIC ist ein rein digitaler Chip. Die Design-Eingabe erfolgte in der Hardware Beschreibungssprache *Verilog*<sup>16</sup> [28]. Dieser Verilog-Code wurde intensiv simuliert. Die

<sup>15</sup>Der Derandomizer Buffer ist ein Speicher, der verwendet wird, um statistische Schwankungen auszugleichen.

<sup>16</sup>Verilog: Verifying Logic

dazu notwendigen Testvektoren wurden aus Signalen generiert, die mit den in Abschnitt 3.1 gezeigten vergleichbar sind. Zum Zeitpunkt des Schreibens dieser Arbeit befindet sich der PPrASIC gerade in der Produktion. Er wird in einem  $0.6\ \mu\text{m}$  CMOS<sup>17</sup>-Prozess von Austria Micro Systems (AMS) gefertigt. Er enthält rund 999,000 Transistoren und 8.125 kByte RAM. Die Chipfläche beträgt  $68.89\ \text{mm}^2$ . Abbildung 3.6 zeigt das fertige Layout dieses Chips. Es sind gut die vier farblich unterschiedenen Kanäle zu sehen, die 24 Rechtecke stellen die von AMS bezogenen RAM-Blöcke dar.

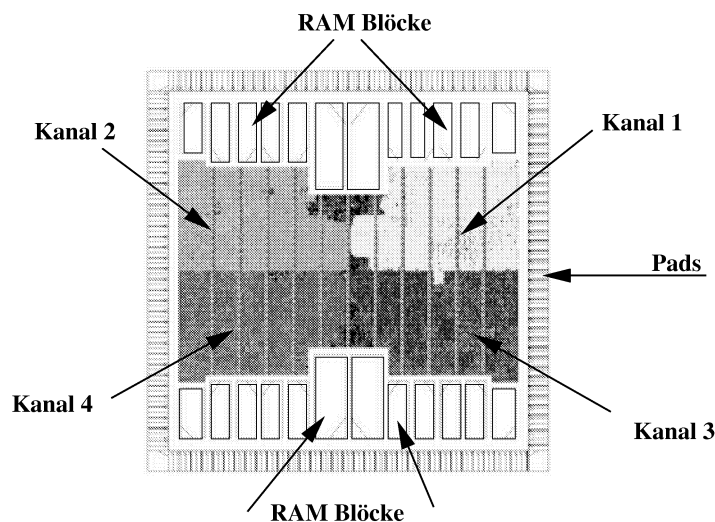


Abbildung 3.6: Layout des PPrASICs

### 3.2.4 Der Readout Merger FPGA (RemFPGA)

Auf jedem PPM befindet sich ein RemFPGA (Virtex XCV1000-E). Die 32 seriellen Schnittstellen der 16 PPrASICs auf einem PPM sind mit dem RemFPGA verbunden. Im Falle eines Level1Accept-Signales sammelt der RemFPGA die Auslesedaten von allen PPrASICs eines PPMs über die seriellen Schnittstellen ein und schreibt diese in interne Speicher. Um die Datenrate zu reduzieren, wird auf die Trigger-Rohdaten ein Kompressionsalgorithmus angewandt, der die Datenmenge um einen Faktor von etwa 2.3 reduziert. Über den Pipeline-Bus werden diese Daten dann zum Readout-Driver (ROD) geschickt, der die Daten von insgesamt acht PPMs sammelt und diese dann zur ATLAS-DAQ<sup>18</sup> schickt.

Der RemFPGA ist zusätzlich für die Konfiguration aller 16 PPrASICs pro PPM über deren seriellen Schnittstellen zuständig. Die Konfigurationsdaten erhält der RemFPGA entweder über den Pipeline-Bus vom ROD oder aber über den VME-Bus vom VME Crate Controller. Für Letzteres ist entsprechend eine Schnittstelle zwischen RemFPGA und dem VME-Bus zu spezifizieren.

Des weiteren übernimmt der RemFPGA die Programmierung des I2C-Buses der Phos4-Chips auf den PPrMCMs und die Programmierung des SPI-Buses der auf dem Analog

<sup>17</sup>Complementary Metal Oxide Semiconductor

<sup>18</sup>DAQ: Data Acquisition System

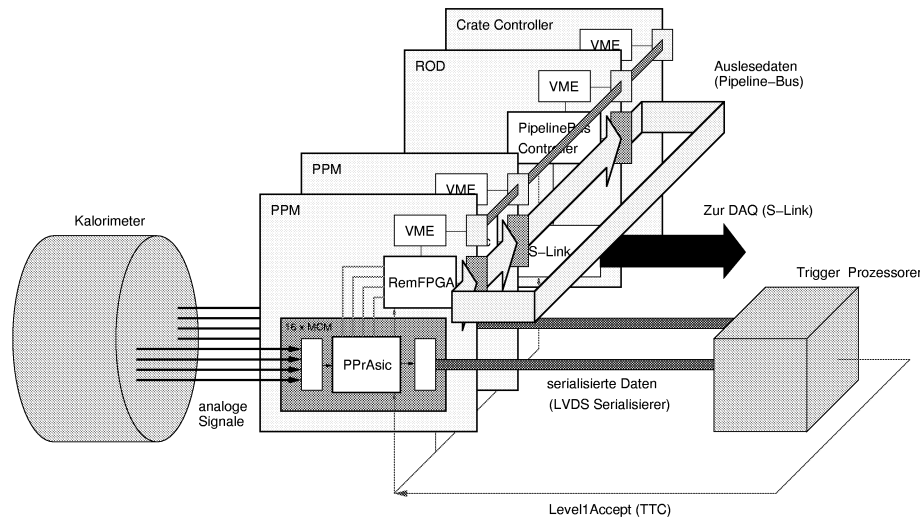


Abbildung 3.7: Der Pipeline-Bus des Prä-Prozessors [17]

Input Board eingesetzten DACs. Der I2C-Bus [40] ist ein 2-Draht-Bus mit den zwei bidirektionalen Leitungen SDA<sup>19</sup> und SCL<sup>20</sup>. Über die SDA Leitung werden die eigentlichen Daten verschickt und über die SCL Leitung werden die Takt-Impulse (bis  $100\text{ kHz}$ ) gesendet. Jeder I2C-Baustein wird über eine 7 Bit Adresse selektiert. Eine Kommunikation findet zwischen einem so genannten *Master* und einem so genannten *Slave* statt. Der SPI-Bus der auf dem Analog Input Board verwendeten DACs [41] kommt mit den drei Leitungen DIN<sup>21</sup>, CLK<sup>22</sup> und  $\overline{CS}$ <sup>23</sup> aus. Mit der positiven Flanke des bis zu  $6.25\text{ MHz}$  großen Taktes, der über die Leitung CLK gesendet wird, werden die Daten über die Leitung DIN in den Baustein aufgenommen. Gleichzeitig muss  $\overline{CS}$  logisch "0" sein. Die Arbeitsweise des SPI-Buses entspricht dem eines seriellen Schieberegisters.

### 3.2.5 Die Datenauslese

Der Pipeline-Bus verbindet acht PPMs mit einem ROD. Abbildung 3.7 zeigt schematisch den Aufbau der Auslese. Ein ROD sammelt hiernach die Auslesedaten von acht RemFPGAs von acht PPMs. Die Daten werden dann vom ROD zur ATLAS-DAQ transportiert. Die zentrale Komponente auf einem ROD-Modul wird ein FPGA sein, in dem mit Hilfe von Verilog die notwendige Funktionalität implementiert werden wird. Ein kurze Einführung in den Design-Prozess mit der Hardwarebeschreibungssprache Verilog findet sich in Kapitel 6. Ein erster Prototyp des RODs wurde erfolgreich in Betrieb genommen. Näheres hierzu findet sich in [18].

<sup>19</sup>SDA: Serial Data

<sup>20</sup>SCL: Serial Clock

<sup>21</sup>DIN: Data In

<sup>22</sup>CLK: Clock

<sup>23</sup>CS: Chip Select

## Kapitel 4

# Das Prä-Prozessor Multichip-Modul

Das PPrMCM ist eine zentrale Komponente des Prä-Prozessors. Es ist für die Verarbeitung von vier Trigger-Tower Signalen verantwortlich und ermöglicht mitunter das totzeitfreie Auslesen von Trigger-Rohdaten. In diesem Kapitel soll nun näher auf die verwendete Technologie, die Merkmale des Layouts und erste Erfahrungen von sechs vorab produzierten PPrMCMs eingegangen werden. In Abschnitt 4.4 werden verschiedene Gründe aufgeführt, die zu einer Modifikation und Weiterentwicklung der ersten produzierten Version des PPrMCMs Anlass gaben. Das Layout der zweiten und wahrscheinlich finalen Version des PPrMCMs wird schließlich vorgestellt.

### 4.1 MCM Technologie

Das PPrMCM besteht aus einer flexiblen und nur  $220\ \mu\text{m}$  dicken Folienleiterplatte, die auf ein starres Kupfersubstrat mit der Dicke von  $800\ \mu\text{m}$  elektrisch isolierend aufgeklebt wird. Die Folienleiterplatte besteht aus vier Kupferlagen, auf denen die Leiterbahnen und sonstige Kupferstrukturen durch Ätzen realisiert werden. Man spricht deshalb auch von den *Routing-Lagen*. Zwischen diesen Kupferlagen befinden sich elektrisch isolierende Polyimid-Folien. Das hier zum Einsatz kommende Verfahren zur Herstellung einer solchen Folienleiterplatte heißt TWINFlex<sup>1</sup>. Es wird von der Firma Würth Elektronik [20] angeboten. Charakteristisch für dieses Verfahren sind die plasmageätzten Mikro-Vias. Vias sind elektrische Durchkontaktierungen zwischen den einzelnen Kupferlagen. Das Plasmaätzen ermöglicht die präzise Verbindung zweier Kupferlagen durch Mikro-Vias mit Durchmessern von  $100\ \mu\text{m}$  bis auf  $50\ \mu\text{m}$ .

Der Herstellungsprozess einer Folienleiterplatte nach dem TWINFlex-Verfahren lässt sich gut anhand von Abbildung 4.1 nachvollziehen: Eine innere Polyimid-Folie mit der Dicke von  $50\ \mu\text{m}$  trägt auf beiden Seiten je  $18\ \mu\text{m}$  dickes Kupfer. Durch Plasmaätzen

---

<sup>1</sup>Das TWINFlex-Konzept wurde in einem Projektverbund gemeinsam von zwei Entwicklungspartnern erarbeitet: vom Institut für Feinwerktechnik der TU Dresden und von der Firma Würth Elektronik mit Hauptsitz in Niedernhall.

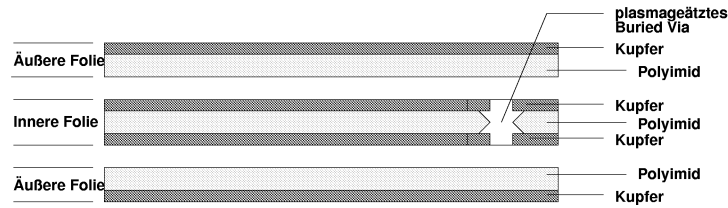


Abbildung 4.1: Definition der verschiedenen Lagen des PPrMCMs

werden nun so genannte "Buried<sup>2</sup> Vias" zwischen den beiden benachbarten Kupferlagen geformt. Die Buried Vias heißen deshalb so, weil sie nur benachbarte innere Kupferlagen miteinander verbinden und nicht bis zur Oberfläche reichen, d.h. sie sind vergraben. Die eigentliche elektrische Verbindung der Buried Vias wird dann in einem Galvanisierungsprozess hergestellt, der gleichzeitig zu einer Erhöhung der Dicke der beiden Kupferlagen von  $18\ \mu\text{m}$  auf  $25\ \mu\text{m}$  bewirkt. Anschließend werden durch konventionelle Ätztechniken die gewünschten Kupferstrukturen in den beiden inneren Kupferlagen erzeugt. Die innere Folie ist von zwei  $25\ \mu\text{m}$  dicken äußeren Polyimid-Folien umgeben, die nur einseitig  $18\ \mu\text{m}$  dickes Kupfer aufweisen. Durch Plasmaätzen werden an den gewünschten Stellen der äußeren Folien so genannte "Blind Vias" geformt. Die Blind Vias verbinden immer äußere Kupferlagen mit den entsprechenden Zielpads der innenliegenden Kupferlagen. Diese äußeren Folien werden nun mit Epoxidharz auf die innere Folie geklebt. Man nennt diesen Vorgang auch Laminierung. Anschließend wird durch einen Galvanisierungsprozess die eigentliche elektrische Verbindung der Blind Vias hergestellt, dabei erhöht sich die Dicke der äußeren Kupferlagen von  $18\ \mu\text{m}$  auf  $25\ \mu\text{m}$ . Schließlich werden die gewünschten Kupferstrukturen in die äußeren Kupferlagen geätzt.

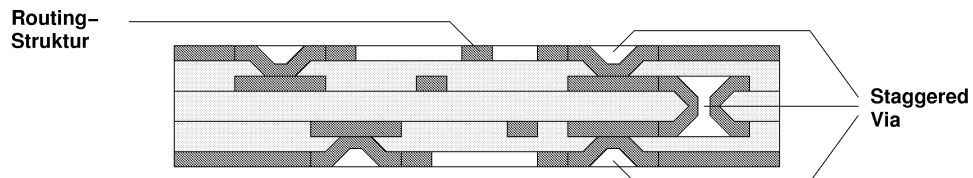


Abbildung 4.2: Querschnitt der laminierten, flexiblen Folienleiterplatte

Abbildung 4.2 zeigt die fertige, laminierte Folienleiterplatte. In dieser Abbildung erkennt man gleichzeitig sehr gut, dass für die Herstellung einer elektrischen Verbindung von der obersten Kupferlage zur untersten Kupferlage zwei Blind Vias und ein Buried Via notwendig sind. Diese Kombination von drei Vias bezeichnet man wegen des auftretenden Versatzes (staggered) als "Staggered Vias".

Diese Folienleiterplatte wird nun mit Epoxidharz auf ein starres  $0.8\ \text{mm}$  dickes Kupfersubstrat geklebt. Die oberste Kupferlage der Folienleiterplatte stellt die Bestückungsseite dar. Sie ist von einer Lötstopmmaske überzogen. Das an den Freistichen der Lötstopmmaske herausschauende blanke Kupfer wird zunächst vernickelt und dann mit einer  $100\ \text{nm}$  dicken Goldschicht überzogen. Diese Oberflächenvergoldung stellt sicher, dass von den di-

<sup>2</sup>aus dem Englischen: begraben



rekt auf die Bestückungsseite geklebten Dies auf entsprechende Pads auf dem MCM gebondet werden kann. Unter Bonden versteht man dabei die Herstellung einer Verbindung zwischen den MCM Substrat Pads und den Pads auf den Dies durch einen  $25\ \mu\text{m}$  dicken Aluminiumdraht, der mit Hilfe eines Ultraschall Drahtbonders gesetzt wird. Die anderen zu bestückenden Bauteile wie Kondensatoren und Widerstände werden als SMD<sup>3</sup> Bauteile aufgelötet. Am linken und am rechten Ende des MCM Substrates wird je ein SMD Bauteil mit 60 Pins aufgelötet. Mittels dieser Stecker wird das gesamte PPrMCM auf das Prä-Prozessor Modul (PPM) gesteckt. Im Falle eines auftretenden Defektes kann so das PPrMCM problemlos durch ein neues ersetzt werden. Die Dies werden mit einem Deckel, der zwischen den außen liegenden Steckern kommt, eingekapselt. Der Deckel aus Messing oder Weißblech wird elektrisch leitend auf das MCM Substrat geklebt, eine extra dafür vorgesehene metallene Klebefläche auf dem MCM Substrat ist vorgesehen. Der Deckel wirkt als EMI<sup>4</sup>-Abschirmung und durch die Befüllung des Innenraumes des Deckels mit einem Silikon-Gel werden die Dies vor störender Atmosphäre oder Feuchtigkeit geschützt. Zum Schluss wird auf die Rückseite des MCM Substrates ein  $8\ \text{mm}$  hoher Kühlkörper aus Aluminium aufgeklebt. Abbildung 4.3 zeigt schematisch das fertige MCM im Schnitt.

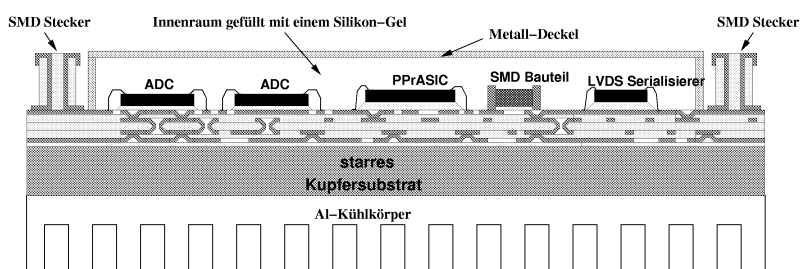


Abbildung 4.3: Gesamter Aufbau des MCMs

## 4.2 Design und Layout

Abbildung 4.4 zeigt das nach dem TWINFlex-Verfahren hergestellte unbestückte Substrat der ersten Version des PPrMCMs. Man erkennt auf dem Bild sehr gut die großen rechteckigen Kupferflächen für die Dies, die SMD Pads und die Bonding Pads. Der Entwurf dieser ersten Version des PPrMCMs profitierte ganz entscheidend von einem zuvor entwickelten MCM Prototypen, von dem mehrere produziert und erfolgreich in Betrieb genommen wurden. Ausführliche Informationen über diesen MCM Prototypen, der exakt im selben Verfahren wie das PPrMCM hergestellt wurde, finden sich in [6].

Das physikalische Layout wurde in beiden Fällen mit APD (Advanced Package Designer) gemacht. APD ist Teil eines äußerst umfangreichen Softwarepakets von der Firma Cadence. In APD müssen alle von Würth Elektronik vorgegeben Prozessparameter und sonstige Beschränkungen eingegeben werden. APD ist dann in der Lage, das Layout gegen diese vorgegebenen Beschränkungen automatisch zu prüfen und im Falle eines Verstoßes

<sup>3</sup>SMD: Surface Mounted Device

<sup>4</sup>EMI: Electromagnetic Interference

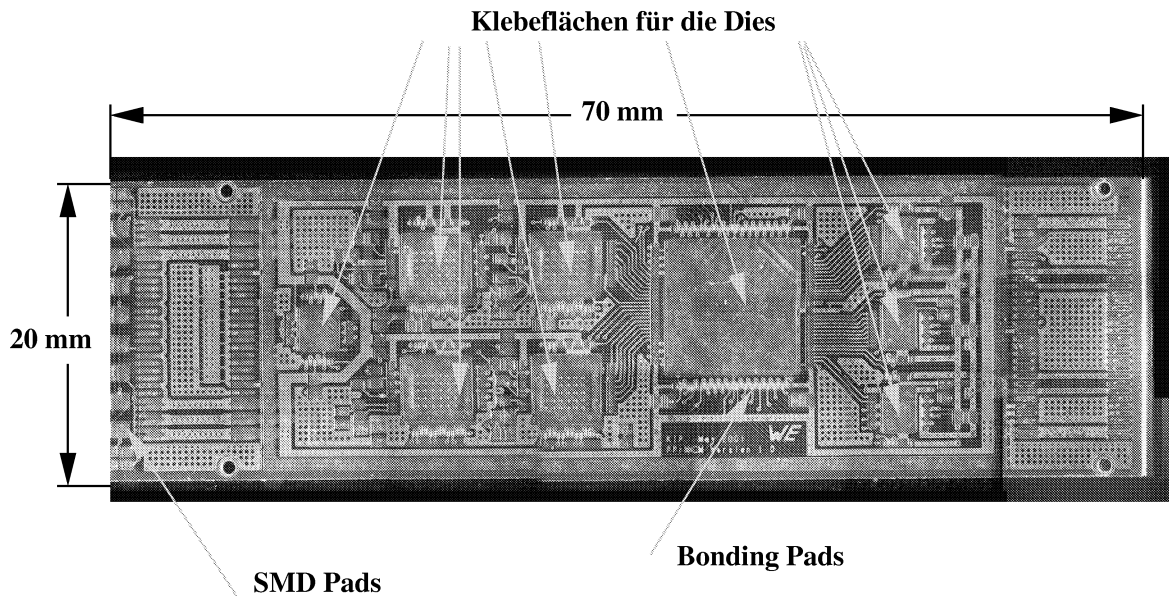


Abbildung 4.4: Unbestücktes MCM Substrat

dies entsprechend anzuzeigen. Man nennt dies einen Design Rule Check (DRC). Tabelle 4.1 fasst die wichtigsten und mit Würth Elektronik abgesprochenen Layout Beschränkungen zusammen. Als charakteristische Strukturgröße wurden  $100\ \mu\text{m}$  gewählt, d.h. keine Leiterbahn, keine Kupferfläche und kein Abstand innerhalb des Layouts darf kleiner als diese Zahl sein. Das TWINFlex-Verfahren erlaubt eine minimale Strukturgröße von  $80\ \mu\text{m}$ , zeigt jedoch bei einer Strukturgröße von  $100\ \mu\text{m}$  die besten Resultate. Aus diesem Grund und auch aus Kostengründen wurde die etwas konservativere Strukturgröße von  $100\ \mu\text{m}$  gewählt.

Layout Beschränkungen	
Abstand Leiterbahn zu Leiterbahn	$100\ \mu\text{m}$
Leiterbahnbreite	$100\ \mu\text{m}$
Abstand Leiterbahn zu Kupferflächen	$100\ \mu\text{m}$
Breite von Elementen der Lötstopmmaske	$100\ \mu\text{m}$
Abstand Leiterbahn/Kupferfläche zu Bohrungen	$500\ \mu\text{m}$

Tabelle 4.1: Geometrische Layout Beschränkungen wie sie in Absprache mit Würth Elektronik gewählt wurden.

Die Tabelle 4.2 zeigt die von Würth Elektronik geforderten und auf das PPrMCM angewandten Beschränkungen für die verwendeten Via Typen. Die Vias (Durchkontaktierungen) verbinden zwei benachbarte Kupferlagen miteinander. Beschränkungen gelten hier in Bezug auf den Lochdurchmesser eines Vias, den Durchmesser des umgebenden Pads und den Durchmesser des auf der zweiten Kupferlage vorhandenen Zielpads.

<b>Via Typ</b>	<b>Via Lochdurchmesser</b>	<b>Via Paddurchmesser</b>	<b>Via Zielpaddurchmesser</b>
Buried Via	100 $\mu m$	300 $\mu m$	300 $\mu m$
Blind Via	100 $\mu m$	350 $\mu m$	350 $\mu m$

Tabelle 4.2: Geometrische Layout Beschränkungen wie sie für die verwendeten Via Typen gelten.

Die folgende Aufzählung fasst die wichtigsten bei der Erstellung des physikalischen Layouts der ersten Version des PPrMCMs berücksichtigten Punkte zusammen:

- **Globales Konzept:** Das PPrMCM besitzt vier Routing-Lagen. Die oberste der vier Kupferlagen dient der Bestückung des PPrMCMs mit den notwendigen Kondensatoren, Widerständen, Steckern, Chips und dem Deckel. Es wurden hier nur Leiterbahnen gezogen, die direkt von einem dieser Bauteile zu einem anderen gehen. In der zweiten und dritten Kupferlage wurden die verbleibenden notwendigen Leiterbahnen gezogen, wobei in der zweiten Lage die Leiterbahnen vorzugsweise in x-Richtung, d.h. parallel zur langen Seite des PPrMCMs, verlegt wurden und in der dritten Lage vorzugsweise in y-Richtung. Die vierte Lage dient als durchgehende Masselage. Alle Leiterbahnen wurden aufgrund der hohen Leiterbahndichte von Hand gezogen.
- **Analoge und digitale Bereiche:** Das PPrMCM wird sowohl mit rein digitalen, als auch mit analog-digitalen Chips bestückt. Um gegenseitige Störeffekte weitestgehend auszuschließen, wurde daher die analoge von der digitalen Spannungsversorgung vollständig getrennt. Dies beinhaltet auch die Einführung zweier getrennter Massen, einer analogen und einer digitalen Masse. Tabelle 4.3 stellt die verwendeten entkoppelten Spannungsversorgungsnetze und Massen zusammen und zeigt an, von welchem Chip sie benutzt werden.
- **Blockkondensatoren:** Für eine konstante Spannungszufuhr ohne Rauscheffekte werden in der unmittelbaren Nähe von den Spannungsversorgungspins der einzelnen Chips 100 nF Kondensatoren zu Entkopplungszwecken eingesetzt und zwar separat für die analogen und digitalen Spannungsversorgungen. Im Fall des Phos4s werden zwei, für jeden ADC zwei, für den PPrASIC vier und für jeden LVDS Serialisierer zwei Blockkondensatoren verwendet. Aus Platzgründen wurden bei den LVDS Serialisierern nur zwei statt drei, wie im Datenblatt von National Semiconductor gefordert, Blockkondensatoren eingesetzt. Die fehlenden Blockkondensatoren sind auf dem PPM in unmittelbarer Nähe zu der Stelle, an dem das PPrMCM aufgesteckt wird, vorgesehen.
- **Leiterbahnen:** Beim Ziehen der Leiterbahnen wurde darauf geachtet, dass hochfrequente digitale Leitungen, wie z.B. der 40 MHz LHC-Takt, und analoge Signale, wie z.B. die vom Analog Input Board kommenden Trigger-Tower Signale, räumlich getrennt sind. Dies minimiert das Problem des Übersprechens und damit die Störung der analogen Signale bedingt durch die steilen Flanken der digitalen Signale.

Spannungsnetz	ADC (AD9042)	LVDS Serialisierer (DS92LV1021)	PPrASIC	Phos4
AVDD=+5 V (analog)	x			
AVCC=+3.3 V (analog)		x		
DVCC=+3.3 V (digital)	x	x	x	x
AGND=0 V (analog)	x	x		
DGND=0 V (digital)	x	x	x	x

Tabelle 4.3: Die auf dem PPrMCM eingesetzten Chips und ihre erforderliche Spannungsversorgungen.

- **Leiterbahnbreite:** Um den Spannungsabfall an den Spannungsversorgungsleitungen so klein wie möglich zu halten, wurden diese Leitungen als massive Kupferflächen mit Breiten größer  $500 \mu m$  realisiert. Die Standardlinienbreite der Signalleitungen beträgt dagegen im Allgemeinen nur  $100 \mu m$ .
- **Platzierung der Bauteile:** Die Bauteile wurden mit größtmöglichem räumlichen Abstand voneinander platziert, um eine gleichmäßige Wärmeverteilung zu garantieren. Es wurde darauf geachtet, dass an allen erforderlichen Stellen genügend Platz für das Bonden und das Lötten vorhanden ist.
- **Verteilung des LHC-Taktes:** Die LVDS Serialisierer, der PPrASIC und der Phos4 erhalten jeweils separat den  $40 MHz$  LHC-Takt. Der Phos4 generiert daraus vier unabhängig verzögerte  $40 MHz$  Takte für die vier ADCs. Alle Taktleitungen wurden sehr kurz gehalten, so dass die Verzögerung der Takte bedingt durch Propagationszeiten vernachlässigbar sind.
- **Via Platzierung:** Ein Via kann den gleichen Strom wie eine  $100 \mu m$  breite Kupferbahn aufnehmen. Im Fall der massiven und sehr breiten Spannungsversorgungsnetze wurden daher bei einem Wechsel von einer zur nächsten Routing-Lage eine große Zahl von Vias (zwischen zwei und sechs) gesetzt.
- **Chip Befestigung:** Die Chips werden als Dies auf dafür vorgesehene Kupferflächen auf der obersten Kupferlage geklebt. Die Kupferflächen sind mit digitaler Masse verbunden, was dem vorgeschriebenen Potenzial der verwendeten Die-Substrate entspricht.
- **Thermische Vias:** Im Fall der ADCs wurden die kupfernen Klebeflächen mit je 30 thermischen Vias versehen. Thermische Vias sind nichts anderes als Staggered Vias, reichen also von der obersten Kupferlage bis hinunter zur untersten Kupferlage. Der

einzigster Unterschied zu den Staggered Vias besteht darin, dass die thermischen Vias keine elektrische Funktion wahrnehmen, sondern zur Verbesserung der thermischen Leitfähigkeit eingesetzt werden. Da jeder ADC im Falle von DC (direct current) eine Leistungsaufnahme von typisch  $595\text{ mW}$  bis maximal  $735\text{ mW}$  [9] aufweist und bei AC (alternating current) mit einer geringfügig erhöhten Leistungsaufnahme zu rechnen ist, mussten thermische Vias eingesetzt werden. Bei den anderen Dies wurden keine thermischen Vias gesetzt. Der Phos4 besitzt eine Leistungsaufnahme von  $200\text{ mW}$  bei  $40\text{ MHz}$  [10] und die LVDS Serialisierer eine Leistungsaufnahme von  $106\text{ mW}$  bei  $40\text{ MHz}$  [11], was den Einsatz von thermischen Vias nicht erzwingt. Im Falle des PPrASICs wurde für die erste Version des PPrMCMs mit einer Leistungsaufnahme von  $1.2\text{ W}$  gerechnet, was angesichts der großen Fläche des PPrASICs von  $68.89\text{ mm}^2$  ebenfalls keine thermischen Vias erfordert hätte. Mittlererweile ist klar, dass dieser Wert falsch ist und stattdessen mit einer Leistungsaufnahme von bis zu  $3\text{ W}$  zu rechnen ist [37], was den Einsatz thermischer Vias erzwingt. Dies war einer der Gründe, das Layout der ersten Version des PPrMCMs noch einmal zu modifizieren. Das Layout der zweiten Version wird ausführlich in Abschnitt 4.4 erläutert.

- **Größe der Bond Pads:** Die Bond Pads sind mit einer Größe von  $150\text{ }\mu\text{m} \times 300\text{ }\mu\text{m}$  für zweifaches Bonden ausgelegt. Für den Fall, dass ein fehlerhafter Bond auftreten sollte, kann damit ohne Probleme ein zweites gesetzt werden.
- **EMI-Abschirmung:** Die vierte Kupferlage dient als durchgehende Masselage und wirkt so gleichzeitig als elektromagnetische Abschirmung. Zusätzlich wurde die oberste Kupferlage mit einer kreuzstrukturierten Kupferfläche versehen, die sich zwischen den SMD Pads, den Bond Pads, den Klebeflächen für die Dies und den Deckel ausbreitet. Sie ist mit digitaler Masse verbunden und unterstützt so die Schirmwirkung der untersten Kupferlage.
- **Lötstopmmaske:** Eine Lötstopmmaske auf der obersten Kupferlage verhindert, dass es während des Lötens der SMD Bauteile zu Kurzschlüssen kommt. Sie überdeckt die gesamte oberste Kupferlage und besitzt nur an den Stellen, an denen gelötet, gebondet oder die Dies aufgeklebt werden sollen, passende Freistiche.

### 4.3 Bestückung des PPrMCMs

Von der im letzten Abschnitt beschriebenen ersten Version des PPrMCMs wurden sechs Vorabmuster produziert, von denen drei Stück von Hand im ASIC-Labor der Universität Heidelberg teilweise bestückt wurden. Abbildung 4.5 zeigt eines der teilweise bestückten PPrMCMs.

Die Pfeile weisen auf die Dies - von links nach rechts sind dies im Einzelnen: der Phos4 von der CERN Microelectronics Group [10], die vier ADCs AD9042 von Analog Devices [9], die Klebefläche für den noch nicht verfügbaren PPrASIC vom ASIC-Labor der Universität Heidelberg [16] und die drei LVDS Serialisierer DS92LV1021 [11]. Die bisher eingesetzten LVDS Serialisierer DS92LV1021 werden zukünftig höchst wahrscheinlich

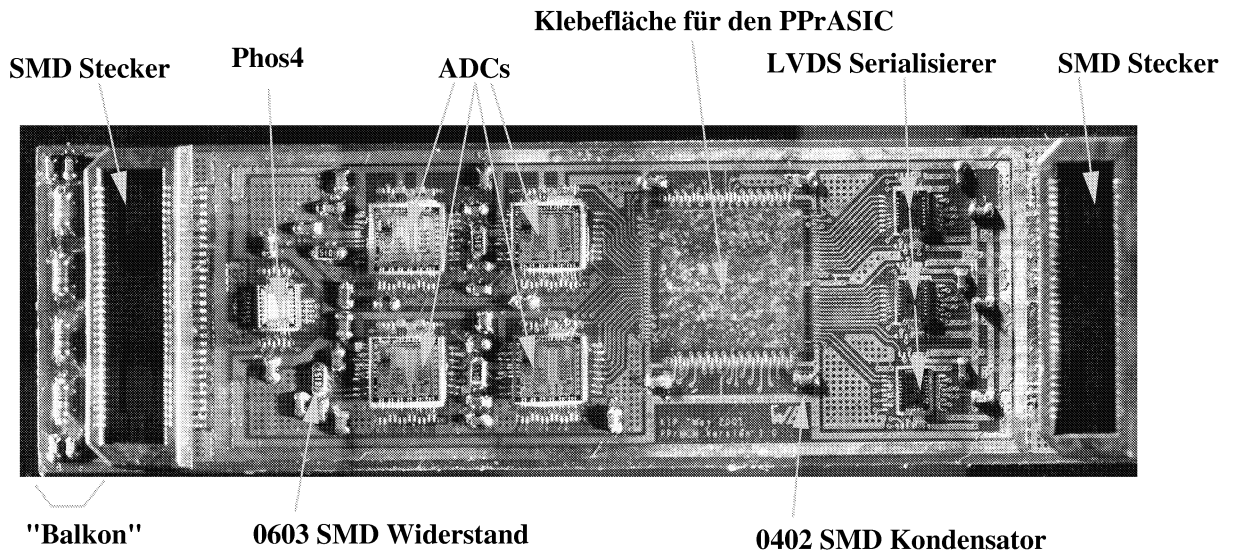


Abbildung 4.5: Teilweise bestücktes PPrMCM, nur der PPrASIC fehlt.

durch die LVDS Serialisierer DS92LV1023 von National Semiconductor [21] ersetzt werden. Der Grund hierfür liegt darin, dass die DS92LV1021 Serialisierer laut Datenblatt in einem Frequenzbereich von 16–40 MHz betrieben werden sollen. Da die Bunch-Crossing Rate mit  $24.95\text{ ns}$  nicht exakt 40 MHz, sondern 40.08 MHz entspricht, würde dies bedeuten, dass die DS92LV1021 Serialisierer außerhalb des vom Hersteller spezifizierten Bereiches betrieben werden würden, was kein haltbarer Zustand ist. Die DS92LV1023 Serialisierer sind hingegen für den Betrieb im Bereich von 40–66 MHz spezifiziert. Da der *Footprint*<sup>5</sup> des DS92LV1023 kompatibel zum Footprint des DS92LV1021 ist, ist ein Wechsel zwischen beiden Typen ohne eine Änderung des Layouts des PPrMCMs möglich. Neben den Dies sind auf dem Bild am linken und am rechten Ende des PPrMCMs die zwei quer über die volle Breite des PPrMCMs gehenden BTH-030-01-L-D-A-Stecker von Samtec [22] zu erkennen. Jeder dieser beiden Stecker verfügt über 60 Pins mit einem Pinabstand von nur 0.5 mm. Zusätzlich wird jedes dieser PPrMCMs mit 36 SMD Kondensatoren der Größe 0402<sup>6</sup>, mit 4 SMD Widerständen der Größe 0603 und 4 SMD Widerständen der Größe 0805 bestückt. Links vom linken Stecker erkennt man bei genauerem Hinsehen eine Ansammlung von vier Widerständen und vier Kondensatoren. Diesem Teil des PPrMCMs wurde der Namen "Balkon" gegeben, da diese Widerstände und Kondensatoren auch nach der Versiegelung des PPrMCMs mit dem Deckel und dem darin eingefüllten Silikon-Gel von außen zugänglich sind. Der Balkon dient zur Anpassung spezifischer Eigenschaften der Eingangsstufen der AD9042 ADCs. So beträgt der Eingangswiderstand des AD9042  $250\ \Omega \pm 50\ \Omega$  und seine Eingangsverstärkung weist eine Variation von  $\pm 6\%$  auf. Bei der Produktion der PPrMCMs wird die Verstärkung des ADCs gemessen und der Widerstand auf dem Balkon entsprechend den internen Anforderungen durch einen anderen Widerstand

<sup>5</sup>Als Footprint eines Dies bezeichnet man seine unmittelbare Umgebung in Bezug auf Spannungsversorgung, Masse, Signalleitungen, Widerstände und Kondensatoren.

<sup>6</sup>0402: 40×20 mils, Größe von SMD Bauteilen, wobei 1 mil 0.0254 mm entspricht.

passenden Wertes ersetzt. Dies muss für jeden ADC separat durchgeführt werden.

Drei PPrMCMs wurden von Hand im ASIC-Labor der Universität Heidelberg bestückt. Der Bestückungsprozess dieser PPrMCMs beinhaltete als ersten Schritt das Löten der SMD Kondensatoren, der SMD Widerstände und der beiden Stecker. Im nächsten Schritt wurden die Dies aufgeklebt und anschließend wurde gebondet. Zum Schluss wurde ein einfacher Spannungstest durchgeführt. Im Folgenden sollen die einzelnen Prozessschritte im Detail erläutert werden.

## **Lötvorgang**

Die eingesetzten SMD Kondensatoren haben, wie oben bereits erwähnt wurde, eine Größe von 0402 und die SMD Widerstände eine Größe von 0603 bzw. 0805. Zum Löten dieser winzigen Bauteile stand ein Mikroskoparbeitsplatz zur Verfügung. Es wurde mit einer konventionellen Lötstation gearbeitet, jedoch waren die Lötspitze und das verwendete Lötzinn besonders fein. Mit Hilfe eines extrem wärmefesten Klebebandes wurden diejenigen Bereiche, insbesondere auch die Bond Pads, abgeklebt, in denen nicht gelötet werden musste. Größere Anstrengungen erforderte das Löten der beiden Stecker. Da der Pinabstand hier nur  $0.5\text{ mm}$  beträgt, passierte es öfters, dass das Lötzinn gleich mehrere Pins umschloss und so einen ungewollten Kurzschluss verursachte. Beim Löten der Stecker kam daher auch Flussmittel zum Einsatz. Das wärmefeste Klebeband verhinderte dabei sehr effektiv, dass das Flussmittel nicht die Bond Pads benetzte. Als sehr hilfreich erwies sich in allen Fällen die Lötstopmmaske.

## **Aufkleben der Dies**

Die Dies wurden direkt auf die vorgesehenen, mit Masse verbundenen Klebeflächen auf das Substrat geklebt. Hierfür wurde der elektrisch und thermisch leitfähige Zweikomponentenkleber H20S von EPO-TEK [24] verwendet. Dieser wurde in einer hauchdünnen Schicht mit Hilfe von Metallstempeln aufgebracht. Anschließend wurden die Dies mittels einer Vakuumpinzette auf die Klebeflächen positioniert. Besondere Aufmerksamkeit erfordert die richtige Platzierung der Dies, da diese keine eindeutige Markierung besitzen, wo Pin Nummer eins zu finden ist. Sehr hilfreich waren hier die teilweise vorhandenen Bilder von den Dies in den Datenblättern und die Position von Spannungsversorgungspins auf den Dies. Nachdem alle Dies positioniert waren, musste der verwendete Kleber, ein Epoxidharz, in einem Ofen aushärten. Dazu wurde das gesamte PPrMCM 90 Minuten lang in einem Ofen bei einer mäßigen und chipfreundlichen Temperatur von  $80^\circ\text{C}$  gelegt.

## **Bonden**

Die Verbindung zwischen den quadratischen Chip Pads mit einer Kantenlänge von  $100\ \mu\text{m}$  und den  $150\ \mu\text{m} \times 300\ \mu\text{m}$  großen Pads auf dem MCM Substrat werden durch einen  $25\ \mu\text{m}$  dicken Aluminiumdraht hergestellt. Dieser wurde mit Hilfe des Ultraschall Drahtbonders MEI1204W von Marpet Enterprises Inc. in Verbindung mit dem Ultraschallregler und ferroelektrischen Wandler Model 10G von Uthe Technology Inc. gesetzt. Die Methode beruht darauf, dass eine auf ein Pad aufgesetzte Bond-Nadel zu einer schnellen Vibration mit einer Frequenz, die im Ultraschallbereich liegt, angeregt wird. Der Al-Draht befindet

sich dabei zwischen der Bond-Nadel und dem Pad. Durch die schnelle Bewegung der Bond-Nadel erhitzen sich die beiden berührenden Materialien so stark, dass sie miteinander verschmelzen.

Der Ultraschallregler und ferroelektrische Wandler Model 10G erlaubt die getrennte Einstellung der Bondleistung und der Bondzeit, d.h. wie lange diese eingestellte Leistung wirken soll, separat für den ersten Bond und den zweiten Bond. Im Allgemeinen wurde der erste Bond auf dem MCM Substrat und der zweite Bond anschließend auf dem Chip gesetzt. Diese Reihenfolge wurde gewählt, da es öfteren vorkam, dass die Bonds auf den MCM Pads nicht hielten. Dann wurde einfach auf das Setzen des zweiten Bonds auf dem Chip Pad verzichtet und eventuell zurückgebliebene Reste des ersten, missglückten Bonds mit einer feinen Nadel entfernt. Mit einer veränderten Bondleistung und Bondzeit wurde dann ein erneuter Bondvorgang gestartet. Während auf den MCM Pads problemlos mehrmals gebondet werden kann, trifft dies auf die Chip Pads leider nicht zu. Diese können unter Umständen bereits nach zwei Bondvorgängen beschädigt sein, was folglich den Austausch des gesamten Dies bedeuten würde. Da aber im Falle der Chip Pads die eingestellte Bondleistung und die Bondzeit praktisch immer konstant gehalten werden konnten und die Bonds problemlos hielten, ergibt sich damit automatisch die Reihenfolge, zuerst den problematischen Bond auf dem MCM Pad zu setzen und erst wenn dieser gut gelungen ist, tatsächlich den zweiten problemlosen Bond auf dem Chip zu setzen. Im Falle der Chip Pads betrug die eingestellte Bondleistung ca. 3 Einheiten auf der Skala des Model 10G Gerätes und die eingestellte Bondzeit ca.  $3\ \mu s$ . Bei den MCM Pads variierte die Bondleistung je nach Pad zwischen 5.0 und 6.5 Einheiten auf der Skala des Model 10G Gerätes und die eingestellte Bondzeit entsprechend zwischen  $5.0\text{--}6.5\ \mu s$ . Der große Unterschied zwischen der Bondleistung bei den MCM Pads und der Bondleistung bei den Chip Pads resultiert aus den unterschiedlichen Pad Materialien. Während die Chip Pads aus Aluminium bestehen, handelt es sich bei den MCM Pads mit Nickel und Gold überzogene Kupferpads. Die große Schwankung der Bondleistung im Fall der MCM Pads könnte vielleicht darauf zurückzuführen sein, dass die MCM Pads bei der starken Vibration der Bond-Nadel sich etwas mitbewegen, was den Schmelzvorgang zwischen Al-Draht und Padmaterial behindern kann. Das MCM Substrat besteht, wie bereits beschrieben wurde, aus einer flexiblen Folienleiterplatte und die MCM Pads liegen dabei auf einer weichen Polyimid-Folie, die bei der Vibration der Bond-Nadel wahrscheinlich etwas nachgibt. Dies wird durch die Beobachtung gestützt, dass die Bondleistung von frei liegenden MCM Pads im Bereich von 6.5 Einheiten lag, während bei MCM Pads mit angeschlossen Leiterbahnen, massiven Kupferflächen oder auch bei Doppelpads die Bondleistung eher im unteren Bereich von 5.0 Einheiten lag. Die angeschlossenen Leiterbahnen bzw. Kupferflächen scheinen die Mitbewegung der MCM Pads verhindert oder zumindest unterdrückt zu haben.

Neben den Bondleistungen und den Bondzeiten gibt es zahlreiche weitere an der Maschine einzustellende Parameter. Wichtige Parameter sind z.B. die Kraft, mit der die Bond-Nadel auf ein Pad drückt (typerischerweise wurden  $14\ g$  eingestellt) oder die Loop-Höhe. Die Loop-Höhe bestimmt die Höhe des Drahtbogens zwischen dem MCM Pad und dem Chip Pad. Aufgrund der unterschiedlichen Höhen der verwendeten Chips muss diese dem jeweiligen Chip angepasst werden. Die Loop-Höhe wurde so gewählt, dass der Draht nur einen sehr kleinen Bogen über den Chip hinweg hinunter zum MCM Substrat mach-



te. Für die richtige Einstellung dieser und weiterer Parameter ist eine große Erfahrung notwendig.

MCM spezifische Bond-Probleme traten im Fall der ADCs auf. Die Kombination von einer großen Höhe des ADCs von  $0.6\text{ mm}$  und dem kurzen Abstand der MCM Pads zum unmittelbar danebenliegenden Chip führte dazu, dass bereits vor dem Aufsetzen der Bond-Nadel der Al-Draht am Chip streifte und so der Al-Draht ein kleines Stück aus dem Loch der Bond-Nadel herausgezogen wurde. Die Folge davon war, dass die Bonds in der Regel nicht hielten. Der Einsatz einer anderen Bond-Nadel, mit der unter einem steileren Winkel gebondet werden kann, wurde mit mäßigem Erfolg geprüft. Erst die Erkenntnis, wie sich der Vorschub des Al-Drahtes an der Maschine einstellen lässt, löste das Bond-Problem. Der Drahtvorschub wurde so groß eingestellt, dass der Draht auch dann noch genügend aus dem Loch der Bond-Nadel herauschaute, selbst wenn er durch das Streifen an dem ADC ein Stück herausgezogen wurde.

### Erste Spannungstests

Nachdem die Chips gebondet wurden, wurden alle drei teilweise bestückten PPrMCMs, im Folgenden kurz als MCM1, MCM2 und MCM3 bezeichnet, einem einfachen Gleichspannungstest unterzogen. Hierzu wurden die beiden unabhängigen Spannungsnetze  $AVCC=3.3\text{ V}$  analog und  $DVCC=3.3\text{ V}$  digital zu einem gemeinsamen Netz zusammengefasst und daran  $3.3\text{ V}$  Gleichspannung angelegt. An das dritte Spannungsnetz  $AVDD=5.0\text{ V}$  wurden  $5.0\text{ V}$  Gleichspannung angelegt. Die getrennten Massen AGND und DGND wurden zusammengefasst. Der Stromfluss im  $5.0\text{ V}$  Netz und im  $3.3\text{ V}$  Netz wurde dann für alle drei teilweise bestückten PPrMCMs gemessen. Tabelle 4.4 zeigt die gemessenen Werte.

Spannung	MCM1	MCM2	MCM3
+5.0 V	370 mA	450 mA	460 mA
+3.3 V	100 mA	100 mA	110 mA

Tabelle 4.4: Die in den beiden Spannungsnetzen gemessenen Ströme.

Vergleicht man die gemessenen Ströme mit den theoretischen Werten, die sich aus den in den Datenblättern der verwendeten Chips angegebenen Strömen ergeben, ist ein erster Hinweis möglich, ob ein Chip auf dem betreffenden MCM defekt ist oder nicht. Mit Hilfe von Tabelle 4.5 ergibt sich für das  $5.0\text{ V}$  Netz ein Nennstrom von  $436\text{ mA}$  (vier ADCs pro MCM) und für das  $3.3\text{ V}$  Netz (ein Phos4, vier ADCs und drei LVDS Serialisierer pro MCM) ein Strom von  $145\text{ mA}$ . Der Strom im  $3.3\text{ V}$  Netz ist als Obergrenze zu sehen, da im Fall der DS92LV1021-Serialisierer mit einem Strom von  $25\text{ mA}$  gerechnet wurde, der allerdings bei  $16\text{ MHz}$  angegeben ist. Bei Gleichspannung ist mit einem etwas geringeren Stromfluss zu rechnen. Der Nennstrom bei Gleichspannung ist für diesen Chip im Datenblatt leider nicht angegeben.

Der Vergleich der gemessenen Ströme mit den theoretischen Werten ergibt unter Berücksichtigung der Schankungen der Nennströme innerhalb gewisser Min-Max-Bereiche eine sehr gute Übereinstimmung. Lediglich im  $5.0\text{ V}$  Netz des MCM1 ist mit einem gemessenen Strom von  $370\text{ mA}$  ein deutlich geringerer Strom angegeben als zu erwarten war. Bei

Chip	Spannungsnetz	Nennstrom
AD9042	+5.0 V	109 mA
AD9042	+3.3 V	10 mA
Phos4	+3.3 V	30 mA
DS92LV1021	+3.3 V	32 mA (bei 40 MHz)
DS92LV1021	+3.3 V	25 mA (bei 16 MHz)

Tabelle 4.5: Nennströme der verwendeten Chips in den einzelnen Spannungsnetzen.

der Durchführung des Spannungstests am MCM1 wurde ein Kurzschluss festgestellt. Wie sich herausstellte, hatte einer der vier ADCs selbst einen Kurzschluss. Nach dem Entfernen der Bonddrähte von diesem defekten ADC wurde der in Tabelle 4.4 angegebene Strom gemessen. Dieser stimmt dann auch mit dem erwarteten Stromfluss für drei ADCs überein.

Nebenbei haben diese einfachen Spannungstests gezeigt, dass die im Layout verwendeten Spannungsnetze keinen Kurzschluss aufweisen.

### Bestückung des PPrMCMs in großen Stückzahlen

Für die Verarbeitung der 7296 Trigger-Tower Signale durch den Prä-Prozessor sind 128 identische Prä-Prozessor Module notwendig. Um auch nach langjährigem Betrieb von ATLAS die Funktion des Prä-Prozessors sicherstellen zu können, wurde entschieden, mindestens 160 funktionierende PPMs zu bauen. Da auf jedem PPM 16 PPrMCMs zu finden sind, resultiert daraus die Produktion von mindestens 2560 MCM Substraten durch Würth Elektronik. Da bei der Bestückung und Inbetriebnahme der PPrMCMs mit Ausschuss zu rechnen ist, wurde die Zahl der zu bestellenden MCM Substrate um 25% auf 3200 erhöht [38]. Die Bestückung von 3200 MCM Substraten ist nur in Zusammenarbeit mit einer externen Firma zu schaffen. Die für unsere Bedürfnisse geeignete Firma ist Hasec Electronic [23], die das Löten der SMD Bauteile, das Aufkleben und Bonden der Dies, die Verkapselung des PPrMCMs mit einem Deckel und schließlich das Aufkleben des Kühlkörpers übernimmt. Zu Evaluationszwecken wurden zwei Substrate der ersten Version des PPrMCMs mitsamt den zu bestückenden Teilen zu Hasec gesandt. Laut Hasec ist bei der Bestückung mit keinen größeren Schwierigkeiten zu rechnen [39]. Zu Testzwecken wurde eine Probelötung durchgeführt, die, bedingt durch die Stecker, zu einer Änderung ihres Standardlötprofils führte. Um die Qualität der Bondoberflächen zu testen, wurde zur Probe gebondet (jedoch ohne Dies). Die Qualität der Bondflächen scheint ausreichend zu sein. Das Bonden der Dies, insbesondere auch des ADCs, sei kein Problem [39].

Von essenzieller Bedeutung ist ein funktioneller Test der produzierten PPrMCMs, und zwar Tests, die teilweise bereits während der Produktion durchgeführt werden sollen. Eine ausführliche Beschreibung des hierfür zum Einsatz kommenden Testsystems findet sich in Kapitel 5.

## 4.4 Redesign des PPrMCMs

Wie bereits erwähnt wurde, wurde im Rahmen dieser Arbeit eine zweite Version des PPrMCMs gemacht. Die Produktion von sechs Vorabmustern dieser zweiten und wahrscheinlich finalen Version des PPrMCMs wurde zum Zeitpunkt des Schreibens dieser Arbeit in Auftrag gegeben. Den Anlass zum Redesign der ersten Version des PPrMCMs gaben thermische Messungen, die im folgenden Abschnitt näher erläutert werden. Die Gelegenheit eines Redesigns wurde gleichzeitig dazu genutzt, verschiedene, kleinere Modifikationen am bestehenden Layout vorzunehmen, die im letzten Abschnitt aufgeführt werden.

### 4.4.1 Thermische Messungen

Das thermische Verhalten des PPrMCMs ist von entscheidender Bedeutung. Auf dem PPrMCM befinden sich auf einer Fläche von nur  $14\text{ cm}^2$  neun Chips, die teilweise sehr hohe Leistungsdichten aufweisen. In Tabelle 4.6 sind die Leistungsdichten der verwendeten Chips im Überblick zu sehen. Es ist deutlich zu erkennen, dass der ADC AD9042 und der PPrASIC mit ihren besonders großen Leistungsdichten die kritischsten Komponenten des PPrMCMs darstellen. Insgesamt ergibt sich für das PPrMCM eine Gesamtleistung von  $5.4\text{--}5.9\text{ W}$ .

	<b>AD9042</b>	<b>DS92LV1021</b>	<b>Phos4</b>	<b>PPrASIC</b>
Chip-Fläche [ $\text{mm}^2$ ]	16.80	5.17	6.48	68.89
Leistung [W]	0.6	0.106	0.2	2.5–3.0
Leistungsdichte [ $\text{mW}/\text{mm}^2$ ]	35.7	20.5	30.9	36.3–43.5

Tabelle 4.6: Thermisch relevante Parameter der auf dem PPrMCM eingesetzten Chips.

Im Fall der ADCs wurde durch den Einsatz thermischer Vias der hohen Leistungsdichte Rechnung getragen. Im Fall des PPrASICs wurde während des Designs der ersten Version des PPrMCMs von einer Leistung von nur  $1.2\text{ W}$  ausgegangen. Mittlererweile hat sich allerdings diese Leistung auf  $2.5\text{--}3.0\text{ W}$  erhöht. Die falschen  $1.2\text{ W}$  rühren höchst wahrscheinlich daher, dass der PPrASIC ursprünglich mit zwei Kanälen konzipiert und simuliert wurde und für diesen eine Leistung von  $1.2\text{ W}$  geschätzt wurde. Durch das Zusammenfügen von zwei solchen zweikanaligen PPrASICs zum jetzigen vierkanaligen PPrASIC wurde dann die Verdoppelung der Leistung in den Spezifikationen nicht aktualisiert. Eine weitere Leistungssteigerung ergab sich durch die Verwendung schnellerer und höherer Leistung fordernder Flip-Flops<sup>7</sup> zur Realisierung des PPrASICs [37]. Um die Auswirkungen dieser Leistungszunahme abzuschätzen, wurden thermische Messungen an einem unbestückten Substrat eines PPrMCMs durchgeführt. Hierzu wurden statt der Chips Widerstände als Wärmequellen auf die Klebeflächen von ADC und PPrASIC aufgelötet und zwar in Form kleiner Schaltungen mit zwei Anschlüssen für die Spannungsversorgung. Die Widerstände und die Klebeflächen wurden anschließend mit Wärmeleitpaste eingedeckt. Je nach angelegter Spannung und Strom durch diese Widerstände konnten unterschiedliche Leistungen

<sup>7</sup>Flip-Flops sind digitalelektronische Bauelemente, die die Speicherung von einem Bit Information ermöglichen.

simuliert werden. Mit Hilfe zweier Temperatursonden wurde einmal die Temperatur auf der Rückseite des MCM Substrats und einmal die Temperatur an den Widerständen des PPrASICs bzw. des ADCs gemessen. Als Beispiel ist in Abbildung 4.6 die Messreihe, die im Fall der thermischen Simulation des PPrASICs aufgenommen wurde, dargestellt.

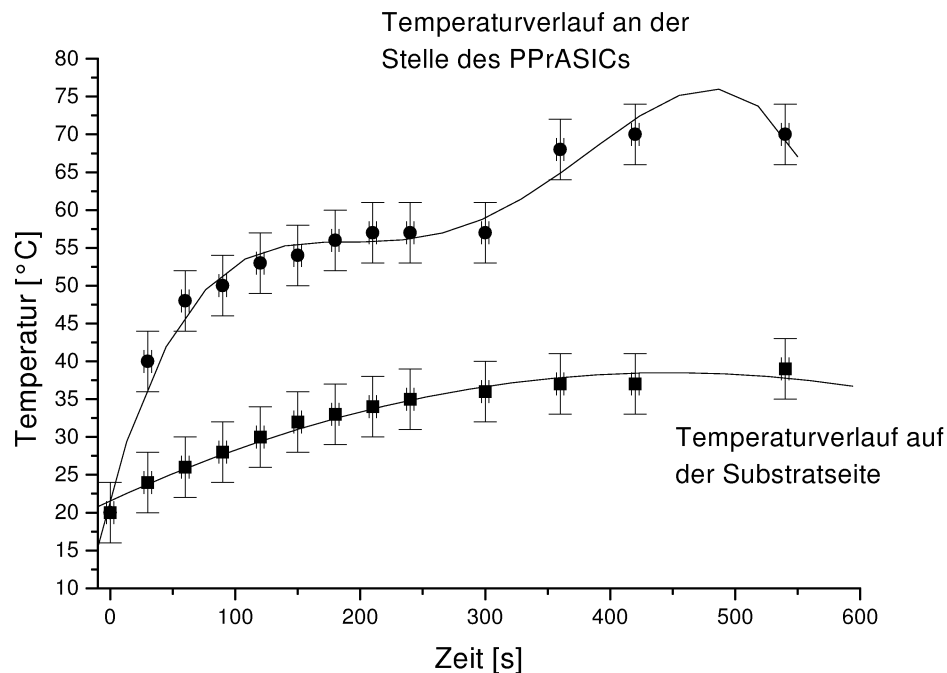


Abbildung 4.6: Thermische Simulation des PPrASICs. Strom und Spannung wurden so gewählt, dass die Widerstände als PPrASIC-Ersatz eine Leistung von  $3.0\text{ W}$  verbrauchten.

An der Stelle des PPrASICs steigt die Temperatur erwartungsgemäß sehr schnell an. Erst mit einer größeren Zeitverzögerung macht sich auch der Temperaturanstieg auf der Substratseite bemerkbar. Die Temperaturen wurden so lange aufgenommen, bis sich keine größeren Änderungen mehr ergaben. Man kann daher davon ausgehen, dass sich in etwa ein thermisches Gleichgewicht ausgebildet hat. Die Temperaturdifferenz im thermischen Gleichgewicht zwischen Substratseite und der Stelle des betreffenden Chips wird im Folgenden kurz als Temperaturanstieg bezeichnet. In diesem Beispiel beträgt der Temperaturanstieg  $31^\circ\text{C}$ . Tabelle 4.7 fasst die Temperaturanstiege verschiedener thermischer Messungen zusammen.

Im finalen System wird das PPrMCM mit einem Kühlkörper bestückt. Es ist zu erwarten, dass die Temperatur des Kühlkörpers im thermischen Gleichgewicht bei etwa  $50^\circ\text{C}$  liegen wird und dies auch nur unter Verwendung starker Ventilatoren. Mit dieser relativ hohen Temperatur ist zu rechnen, da die PPMs mit je 16 PPrMCMs zusammen mit weiteren Karten auf engstem Raum in ein Crate gesteckt werden. Nach Tabelle 4.7 würde sich

simulierter Chip	eingestellte Leistung [W]	Temperaturanstieg [°C]
PPrASIC	3.0	31
PPrASIC	4.2	47
ADC	1.0	20
ADC	0.64	11
ADC	0.5	6

Tabelle 4.7: Temperaturdifferenzen im thermischen Gleichgewicht zwischen Substratseite und der Seite des simulierten Chips für verschiedene thermische Messungen.

damit der PPrASIC mit  $3.0\text{ W}$  auf  $81^\circ\text{C}$  erwärmen, was nicht akzeptabel ist. Gleichzeitig sieht man, dass der ADC mit  $0.64\text{ W}$  sich auf  $61^\circ\text{C}$  erwärmen würde, was deutlich unterhalb der im Datenblatt angegeben maximal erlaubten Betriebstemperatur von  $85^\circ\text{C}$  liegt und den verwendeten thermischen Vias zu verdanken ist. Um den Temperaturanstieg im Falle des PPrASICs zu verringern, wurde daher beschlossen, wie bei den ADCs nun auch beim PPrASIC thermische Vias einzusetzen. Um spätere Überraschungen auszuschließen, wird im Folgenden die Wirkung der thermischen Vias im Fall des ADCs und des PPrASICs theoretisch untermauert. Diese Theorie wurde bereits auf den zuvor gefertigten MCM Prototypen angewandt. Eine ausführliche Darstellung der Theorie findet sich in [6].

Abbildung 4.7 zeigt das zugrunde liegende Modell. Betrachtet wird die Wärmeleitung von der Oberseite des Siliziumchips zur Unterseite des MCM Substrates. Konvektion und Wärmestrahlung spielen aufgrund der späteren Verkapselung des PPrMCMs nur eine vernachlässigbare Rolle.

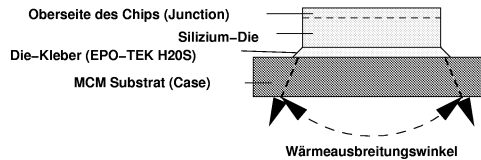


Abbildung 4.7: Modell zur Berechnung des thermischen Widerstands von der Oberseite des Siliziumchips bis hinunter zur Unterseite des MCM Substrates. Es wird ein Wärmeausbreitungswinkel von  $26.6^\circ$  angenommen. Näheres siehe Text.

Berechnet wird nun der gesamte thermische Widerstand  $R_{jc}$  von der Oberfläche des Chips (Junction) bis hinunter zur Unterseite des MCM Substrates (Case). Man erhält den gesamten thermischen Widerstand durch Addieren der thermischen Widerstände aller vorkommenden Lagen des Querschnitts:

$$R_{jc} = \sum_{i=1}^N R_i,$$

mit

$$R_i = \frac{L_i}{\kappa_i A_i}.$$

$\kappa$  ist die thermische Leitfähigkeit, A ist die Fläche, auf der sich die Wärme ausbreitet und L ist die Dicke der betreffenden Lage. Multipliziert man den gesamten thermischen Widerstand mit der Leistung des Chips, ergibt sich die erwartete Temperaturerhöhung. In Tabelle 4.8 wurde die Rechnung für den PPrASIC vorgeführt. Für den PPrASIC ergibt sich hiernach ein Temperaturanstieg von 20.5°C.

Lage	Leitfähigkeit $\kappa$ [W/(m°C)]	Fläche A [mm <sup>2</sup> ]	Dicke L [ $\mu$ m]	Widerstand R [°C/W]
Luft	0.027	-	-	-
Siliziumchip	118	68.89	350	0.04
EPO-TEK H20S	1.57	68.89	50	0.46
Kupferlage 1	395	69.29	25	0.001
Polyimid	0.33	69.29	25	1.09
Epoxid-Harz	0.5	69.47	25	0.29
Kupferlage 2	395	69.67	25	0.001
Polyimid Kern	0.33	69.76	25	2.17
Kupferlage 3	395	69.96	25	0.001
Epoxid-Harz	0.5	70.34	25	0.28
Polyimid	0.33	70.54	25	1.07
Kupferlage 4	395	70.62	25	0.001
Epoxid-Harz	0.5	70.83	25	1.41
Kupfersubstrat	395	71.03	25	0.03
Luft	0.027	-	-	-
$R_{jc}$ in °C/W				6.84
Temperaturanstieg in °C				20.5

Tabelle 4.8: Wärmeleitung durch den gesamten Querschnitt von der Oberseite des PPrASICs bis zur Unterseite des MCM Substrates. Ein Wärmeausbreitungswinkel von 26.6°C wurde benutzt, um die von Lage zu Lage größer werdende erwärmte Fläche zu berücksichtigen.

In analoger Weise wurde der Temperaturanstieg für den PPrASIC, der nun in der zweiten Version des PPrMCMs mit 124 thermischen Vias versehen wurde, berechnet. Außerdem wurde zum Vergleich der Temperaturanstieg für den ADC einmal ohne und einmal mit den bereits 30 vorhandenen thermischen Vias berechnet. Tabelle 4.9 zeigt die errechneten Werte zusammen mit den daraus resultierenden Temperaturen an den Chipoberflächen bei einer angenommenen Kühlkörpertemperatur von 50°C. Der Wärmefluss durch die thermischen Vias wurde dadurch berechnet, indem die Polyimid-Lagen durch Kupferlagen reduzierter Fläche ersetzt wurden. Die reduzierte Fläche entspricht dabei der von den thermischen Vias mit 100  $\mu$ m Durchmesser beanspruchten Fläche.

Nach der Theorie erwartet man für den PPrASIC ohne thermische Vias einen Temperaturanstieg von 20.5 °C, gemessen wurden jedoch 31°C. Eine ähnlich große Abweichung ergibt sich im Fall des ADCs mit seinen 30 thermischen Vias, so wurde ein Temperaturanstieg von 11°C gemessen und 4.9°C vorausgesagt. Was die Theorie jedoch zeigt ist, dass

Thermischer Parameter	<b>AD9042</b> 0 therm. Vias	<b>PPrASIC</b> 0 therm. Vias	<b>AD9042</b> 30 therm. Vias	<b>PPrASIC</b> 124 therm. Vias
$R_{jc}$ [°C/W]	27.66	6.84	8.17	2.00
Temperaturanstieg [°C]	16.5	20.5	4.9	6.0
T des Kühlkörpers [°C]	50	50	50	50
T am Übergang [°C]	66.5	70.5	54.9	56.0

Tabelle 4.9: Theoretisch berechnete Temperaturen von ADC und PPrASIC an ihrer Oberfläche, einmal mit und einmal ohne thermische Vias.

im Fall des ADCs durch den Einsatz von 30 thermischen Vias der Temperaturanstieg um den Faktor 3.3 reduziert wurde und im Fall des PPrASICs durch 124 thermische Vias der Temperaturanstieg um den Faktor 3.4 reduziert wird. Dies bedeutet, dass die nun in der zweiten Version des PPrASIC eingesetzten thermischen Vias in ausreichender Zahl vorhanden sind. Der errechnete Temperaturanstieg von 6°C wird in der Praxis eher im Bereich von 10–15°C liegen, was aber letztlich zu einer akzeptablen Chiptemperatur führt.

Trotz der beachtlichen Wirkung der thermischen Vias in Bezug auf die Verbesserung der Wärmeabfuhr zum Kühlkörper hin, sollten ihre Nachteile nicht verschwiegen werden. So verliert man durch den Einsatz thermischer Vias wertvolle Flächen zum Ziehen von Leiterbahnen. Die Klebeflächen der Chips sind bedingt durch die Löcher der thermischen Vias nicht mehr eben. Beim Aufkleben der Chips mit einem elektrisch und thermisch leitfähigen Kleber auf diese Flächen ist daher darauf zu achten, dass keine Lufteinschlüsse unter dem Chip zurückbleiben. Bei der Erwärmung des Chips kann dieser sonst abplatzen, man spricht vom so genannten "Popcorn-Effekt". Schließlich erschweren thermische Vias das Ablösen eines Chips, falls sich nach der Bestückung herausstellen sollte, dass einer dieser Chips nicht einwandfrei funktionieren sollte.

#### 4.4.2 Weitere Änderungen am Layout

Die Gelegenheit des notwendig gewordenen Neudesigns wurde gleichzeitig genutzt, um verschiedene kleinere Modifikationen auf dem Layout der ersten Version des PPrMCMs vorzunehmen. Folgende Aufzählung fasst die nun in der zweiten Version des PPrMCMs neu implementierten Merkmale zusammen:

- **Thermische Vias:** Wie oben bereits erläutert wurde, wurden unter dem PPrASIC 124 thermische Vias vorgesehen. Die 30 thermischen Vias je ADC wurden so wie in der ersten Version des PPrMCMs beibehalten. Um auch bei den anderen Chips eine verbesserte Wärmeabfuhr zum Kühler hin zu garantieren, wurden auch dort thermische Vias vorgesehen: 9 Stück beim Phos4, 6, 8 bzw. 9 Stück bei den drei LVDS Serialisierern. Aufgrund zahlreicher unter den Klebeflächen dieser Chips verlegter Leiterbahnen konnten hier die thermischen Vias allerdings nicht in gleicher Zahl und immer über die gesamte Fläche verteilt werden. Wegen der geringeren

Leistungsdichten dieser Chips sind die thermischen Vias aber auch nicht zwingend notwendig.

- **Klebefläche für den Deckel:** Auf der obersten Kupferlage des MCM Substrates befindet sich die Klebefläche für den Deckel in Form eines rechteckigen Kupferrahmens. An den Ecken wurde diese Klebefläche vergrößert. Dies erleichtert jetzt die Herstellung der Deckel ganz entscheidend. Die im Schneid-Biege-Verfahren hergestellten Deckel werden nämlich nach dem Hochbiegen der Seitenwände an den Ecken verlötet. Vorher bestand die Gefahr, dass zu viel aufgebracht Lötzinn dazu führte, dass dann der Deckel nicht mehr exakt auf die Klebefläche gepasst hätte und so auf die erhöhte Lötstopmmaske aufsäße. Ein dichtes Verkleben des Deckels auf das PPrMCM wäre damit unmöglich gewesen.
- **Montage des PPrMCMs auf dem PPM:** Das bloße Aufstecken der PPrMCMs auf das PPM reicht als sichere Halterung nicht aus. Der starke Luftstrom der Ventilatoren und Vibrationen im Crate würden die PPrMCMs aus ihrer Halterung lösen. Stattdessen werden sie nun fest auf das PPM geschraubt. Hierzu wurde das MCM Substrat links und rechts jeweils um  $7\text{ mm}$  erweitert und mit je einem Loch mit  $4\text{ mm}$  Durchmesser versehen. Diese beiden Löcher gehen durch den Al-Kühlkörper. Abbildung 4.8 zeigt die Anordnung.

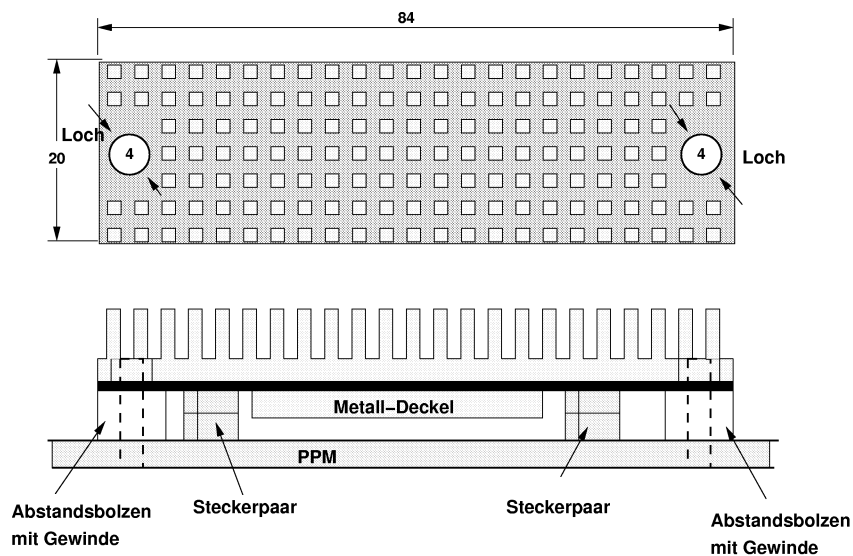


Abbildung 4.8: Montage des PPrMCMs auf dem PPM. In jedem Abstandsbolzen ist oben und unten ein Gewinde eingeschnitten. Von oben und unten wird je eine Schraube eingedreht, die für eine sichere Halterung des PPrMCMs auf dem PPM sorgen.

- **Umordnung von Kondensatoren und Widerständen:** Die Widerstände und Kondensatoren des in Abschnitt 4.3 eingeführten Balkens wurden für ein optimales Löten neu angeordnet. Zudem wurden hier die 0402 SMD Kondensatoren durch die größeren 0603 SMD Kondensatoren ersetzt. Weitere Kondensatoren des PPrMCMs wurden zur Optimierung verschoben.



- **Umordnung der analogen Eingangssignale und der externen BCID Signale:** Um ein Bunch-Crossing Multiplexing entlang der  $\phi$ -Richtung innerhalb des PPrASICs zu ermöglichen, mussten die vom Analog Input Board kommenden analogen Trigger-Tower Signale und die digitalen externen BCID Signale auf dem PPrMCM verdreht werden. Die analogen Trigger-Tower Signale 1 und 2 sind nun mit den PPrASIC-Kanälen 1 und 3 verbunden, die analogen Trigger-Tower Signale 3 und 4 mit den PPrASIC-Kanälen 4 und 2. Die externen BCID Signale wurden den dazugehörigen analogen Trigger-Tower Signalen zugeordnet. In der ersten Version des PPrMCMs wurde beim Verdrehen dieser Signale nicht berücksichtigt, dass das PPrMCM kopfüber auf das PPM gesteckt wird.

#### 4.4.3 Eigenschaften des Layouts der zweiten Version des PPrMCMs

Im Anhang A findet sich das Layout der zweiten Version des PPrMCMs. Das Layout hat eine Dimension von  $84\text{ mm} \times 20\text{ mm}$ , umfasst damit also eine Fläche von  $1680\text{ mm}^2$ . Mit der von den 9 Dies beanspruchten Fläche von  $293\text{ mm}^2$  ergibt sich damit ein Silizium-/Substratflächenverhältnis von 9.4%. Allgemein für erreichbar gehalten wird für MCMs ein Verhältnis von 30%. Das hier erreichte relativ kleine Verhältnis ist im Wesentlichen auf die Verlängerung des MCM Substrates der ersten Version des PPrMCMs um je  $7\text{ mm}$  rechts und links zurückzuführen, Flächen, die mit Ausnahme des Balkons, nicht zum Routen benutzt wurden, sondern rein mechanischen Zweck erfüllen. So betrug das Silizium-/Substratflächenverhältnis in der ersten Version noch 20%. Die Verwendung zahlreicher SMD Bauteile hat sein Übriges getan, dass die 30% nicht erreicht wurden. Auf vier Lagen wurden Leiterbahnen mit einer Gesamtlänge von  $2.73\text{ m}$  verlegt. Insgesamt kamen 1532 Vias zum Einsatz, wobei diese Zahl die 276 thermischen Vias, die keine elektrische Funktion wahrnehmen, einschließt. Tabelle 4.10 fasst die wichtigsten Eigenschaften des neuen PPrMCMs zusammen.

#### 4.4.4 Eingangs- und Ausgangssignale der zweiten Version des PPrMCMs

Die Schnittstellen des PPrMCMs wurden an Stellen innerhalb der Verarbeitungskette des Prä-Prozessors so gewählt, dass die Zahl der Eingangs- und Ausgangssignale des PPrMCMs so klein wie möglich ist. Im Wesentlichen empfängt das PPrMCM vier analoge Signale und versendet drei serielle Datenströme. Im Folgenden wird eine detaillierte Aufstellung der Eingangs- und Ausgangssignale des PPrMCMs gegeben. Die Pinbelegung der beiden BTH-030-Stecker von Samtec [22] findet sich im Anhang B (für die zweite Version des PPrMCMs). Die meisten Pins werden für die verschiedenen Spannungsversorgungsnetze und die verschiedenen Massennetze benutzt.

#### Der Echtzeit Datenpfad und die Spannungsversorgung

- Vier vom Analog Input Board kommende analoge Eingangssignale für die vier ADCs. Siehe hierzu Abschnitt 3.2.1.

Eigenschaften des Layouts	
Strukturgröße	100 $\mu m$
Dimension des Substrates	84 mm $\times$ 20 mm
Gesamtlänge aller Leiterbahnen	2.73 m
Verhältnis Silizium-/Substratfläche	$\sim 9.4\%$
Anzahl der Dies	9
Anzahl der Lagen	4
Dicke des Substrats	1070 $\mu m$
Anzahl der Pins der SMD Stecker	120
Höhe des Stecker	5 mm
Höhe des Al-Kühlkörpers	8 mm
Anzahl der Bonds	417
Dicke des Bonddrahtes	25 $\mu m$
Zahl der Vias	1532
Zahl der thermischen Vias	276
gesamte Leistungsaufnahme	5.4–5.9 W

Tabelle 4.10: Layout-Eigenschaften der zweiten Version des PPrMCMs

- Vier digitale, externe BCID Eingangssignale, die ebenfalls vom Analog Input Board kommen. Siehe hierzu Abschnitt 3.2.1.
- Drei (zwei zum Cluster Prozessor, einer zum Jet/Energy-Sum Prozessor) serielle Ausgangsdatenströme mit einer Datenrate von je 400 MBit/s bzw. einer Datenrate von je 480 MBit/s inklusive Start- und Stoppbit. Siehe hierzu Abschnitt 3.2.2.
- Die analogen Spannungsnetze AVDD und AVCC, sowie das digitale Spannungsnetz DVCC. Siehe hierzu Abschnitt 4.2.
- Die analoge Masse AGND und die digitale Masse DGND. Siehe hierzu Abschnitt 4.2.

### Konfiguration/Kontrolle/Test und Datenauslese

- I2C-Bus zum Programmieren des Phos4 Chips.
- JTAG<sup>8</sup>-Schnittstelle, ermöglicht einen *in-circuit*-Test und *boundary-scan* des PPrASICs.
- Analoges Temperaturüberwachungssignal vom PPrASIC.
- Zwei serielle Schnittstellen des PPrASICs zur Datenauslese und zur Konfiguration des PPrASICs.

---

<sup>8</sup>JTAG: Joint Test Action Group

- Signale, die vom zentralen Trigger Prozessor generiert und über das TTC System verteilt werden: Level1Accept-Signal, 40 MHz LHC-Takt, Bunch-Crossing Nummer, Ereignisnummer, Reset Signale für interne Zähler des PPrASICs (Bunch Crossing Zähler, Ereigniszähler).
- Das PPrMCM nutzt das TTC System um folgende Vorgänge auszulösen: Reset des PPrASICs, synchroner Start der Datenauslese und für das Einspielen von Testdaten, Power-Up Signal für die LVDS Serialisierer.

## Kapitel 5

# Test des Prä-Prozessor Multichip-Moduls

### 5.1 Produktion des PPrMCMs in großen Stückzahlen und Qualitätssicherung

Wie bereits im letzten Kapitel erwähnt wurde, wird die Produktion der 3200 MCM Substrate von Würth Elektronik [20] und die Bestückung und Verkapselung der PPrMCMs von Hasec Electronic [23] übernommen. Tests der PPrMCMs sind eng mit der Produktion verknüpft. Die Tests sind von großer Bedeutung. Wegen der Ausbeute und aus Kostengründen kann man es sich nicht leisten, alle PPrMCMs ohne Tests vollständig herzustellen und anschließend die nicht voll funktionsfähigen PPrMCMs auszusortieren. Die folgende Liste gibt einen Überblick über die Abfolge der einzelnen Herstellungsphasen der PPrMCMs und über die durchzuführenden Tests.

1. **Produktion:** Die Herstellung der 3200 MCM Substrate wird von Würth Elektronik übernommen.
2. **Test:** Würth Elektronik stellt einen speziell für das PPrMCM passenden Prüfdapter her, mit dessen Hilfe Würth Elektronik einen elektrischen Test durchführt. Ziel dieses Tests ist es, herstellungsbedingte Fehler wie Kurzschlüsse oder fehlerhafte Via-Verbindungen auszuschließen.  
Die weiteren Punkte werden von Hasec übernommen:
3. **Bestückung:** Die Lötpaste wird mittels Schablonendruck auf die Lötflächen des MCM Substrates aufgetragen.
4. **Bestückung:** Die SMD Bauteile, d.h. die Kondensatoren, die Widerstände und die Stecker werden auf die vorgesehenen Stellen platziert. Die zuvor aufgetragene Lötpaste dient dabei gleichzeitig als Klebemittel.
5. **Bestückung:** Die SMD Bauteile werden mittels Reflow-Löten verlötet. Reflow-Löten ist die übliche Bezeichnung für ein Lötverfahren, bei dem die vorher aufgebrachte Lötpaste auf die Kontaktflächen aufgeschmolzen wird. Der eigentliche

Lötvorgang findet dabei in einem Konvektionsofen statt. Das Prozessgas wird durch ein Heizsystem erhitzt und durch ein Gebläse auf das Lötgut gedrückt.

6. **Bestückung:** Die Halbleiterchips werden ohne Gehäuse (als Dies) auf die vorgesehenen Klebeflächen mit elektrisch leitfähigem Epoxid-Harz aufgeklebt.
7. **Bestückung:** Die Dies werden mittels eines Ultraschall Drahtbonders gebondet.
8. **Test:** Mit Hilfe des im folgenden Abschnitt 5.2 ausführlich beschriebenen Testsystems werden die bestückten PPrMCMs vor Ort, d.h. bei Hasec, einem schnellen Test unterworfen. Das im Rahmen dieser Arbeit entwickelte Testsystem wird von der Heidelberger ATLAS Gruppe betrieben und hat zum Ziel, fehlerhafte Bonds und defekte Dies aufzuspüren. Der PPrASIC und der Phos4 werden bereits vor ihrer Bestückung getestet und die fehlerhaften entsprechend sofort aussortiert. Während die Phos4s bereits im ASIC-Labor der Universität Heidelberg getestet wurden [37], muss für den PPrASIC noch ein Testsystem entworfen werden. Ein möglicher funktioneller Test des PPrASICs wird in Kapitel 6 vorgestellt. Die kommerziell erworbenen LVDS Serialisierer und ADCs werden ohne vorherigen Test zur Bestückung eingesetzt. Sie wurden bereits von den Herstellern getestet, allerdings nicht mit der LHC-Frequenz von 40 MHz. Daher ist bei diesen Chips mit einer Ausbeute unter 100% zu rechnen.
9. **Reparaturzyklus:** Die defekten PPrMCMs werden von Hasec einem Reparaturzyklus unterworfen. Defekte Dies werden wieder vom MCM Substrat abgelöst und durch neue ersetzt. Im Falle von fehlerhaften Bonds wird ein zweiter Bond gesetzt, die Bond Pads sind mit einer Größe von  $300\ \mu m \times 150\ \mu m$  dafür ausgelegt. Die reparierten PPrMCMs werden erneut mit dem Testsystem überprüft und, falls notwendig, wieder dem Reparaturzyklus unterworfen.
10. **Bestückung:** Auf alle PPrMCMs, die das Testsystem passiert haben, wird der Deckel aufgeklebt. Durch die Löcher im Deckel wird das Silikon-Gel eingefüllt. Die Löcher werden anschließend zugelötet. Zum Schluss wird der Kühlkörper auf die Rückseite des Kupfersubstrates aufgeklebt.
11. **Test:** Die PPrMCMs werden in Heidelberg einem umfangreichen funktionellen Test unterzogen, zum Teil mittels des bei Hasec verwendeten Testsystems, aber auch durch das Bestücken eines PPMs mit den PPrMCMs und einem anschließenden vollständigen Test des gesamten PPMs. Sollte sich hier ein Defekt auf einem der PPrMCMs zeigen, ist aufgrund der Verkapselung im Allgemeinen keine Reparatur mehr möglich.

In Abbildung 5.1 sind die einzelnen Herstellungsphasen und die durchzuführenden Tests grafisch veranschaulicht.

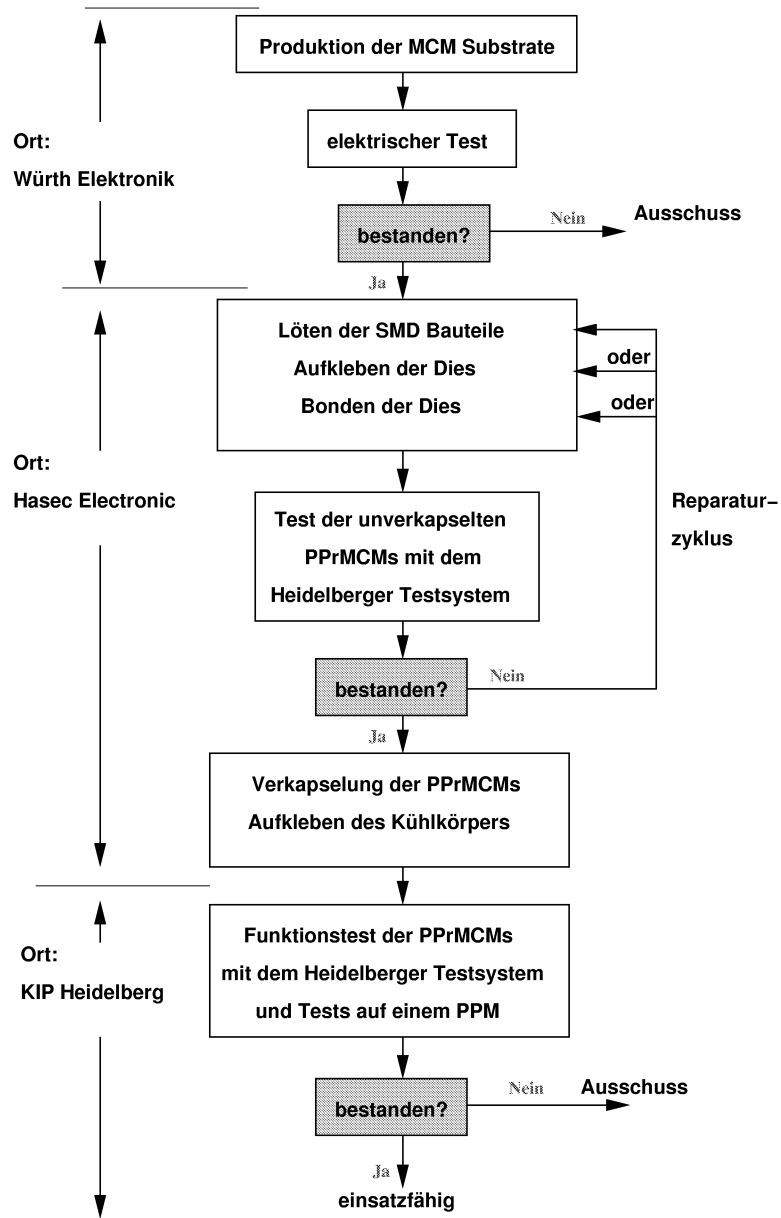


Abbildung 5.1: Flussdiagramm der Produktion des PPrMCMs in großen Stückzahlen und die durchzuführenden Tests

## 5.2 Testaufbau

In diesem Abschnitt wird nun das im vorigen Abschnitt erwähnte Testsystem, das unter anderem bei Hasec eingesetzt wird, besprochen. Da 3200 PPrMCMs zu testen sind, ist ein automatisiertes Testsystem notwendig, das innerhalb kürzester Zeit fehlerhafte PPrMCMs identifiziert und den Defekt, wie z.B. ein defekter Die, lokalisiert. Abbildung 5.2 zeigt die dafür notwendige Hardware.

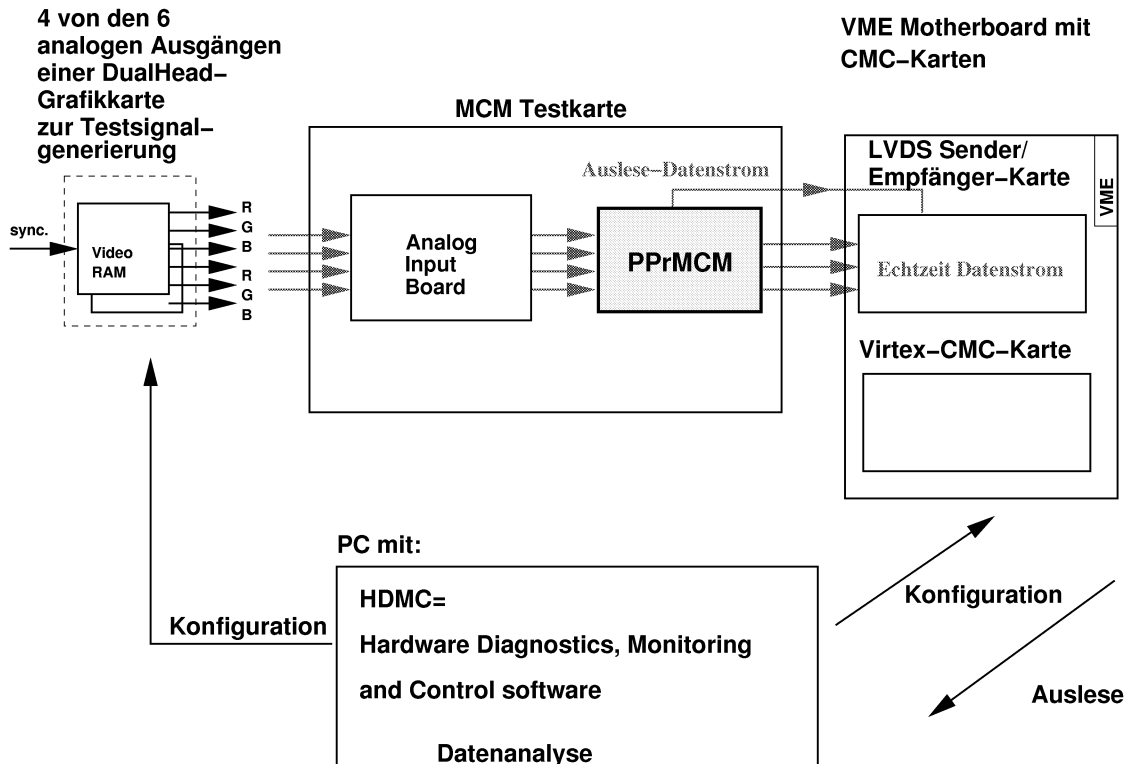


Abbildung 5.2: Aufbau des Testsystems zum Test der PPrMCMs

Das Testsystem besteht im Wesentlichen aus drei Komponenten: einer Signalquelle zur Generierung der Testsignale, einer so genannten MCM Testkarte als Träger für das zu testende PPrMCM und einer Datensenke zur Aufnahme der vom PPrMCM erzeugten Datenströme.

Als Signalquelle wird die Grafikkarte *Matrox G450DH* [25] verwendet. Diese Grafikkarte ist eine *DualHead*-Grafikkarte, ist also für den Anschluss zweier unabhängiger Monitore gedacht und besitzt demnach zwei unabhängige 15-polige Anschlussbuchsen vom Typ D. Jede dieser beiden 15-poligen Anschlussbuchsen stellt die drei *analogen* Farbsignale rot, grün und blau, sowie zwei *digitale* Synchronisationssignale, die horizontale Synchronisation und die vertikale Synchronisation, zur Verfügung. Die Frequenz des horizontalen Synchronisationssignales ist die Zeilenfrequenz, die Frequenz des vertikalen Synchronisationssignales ist die Bildwiederholrate. Die *DualHead*-Grafikkarte stellt damit 6 analoge Ausgangssignale zur Verfügung:  $2 \times$  rot,  $2 \times$  blau und  $2 \times$  grün. Von diesen sechs Signalen

werden vier ausgewählt und unabhängig voneinander zur Generierung von Testsignalen programmiert. Die Ausgangsspannung dieser Farbsignale reicht dabei von 0–0.7 V, wobei der Spannungswert unmittelbar die Intensität einer Farbe abbildet. Ist z.B. die Spannung am roten Ausgang groß (0.7 V), dann entspricht dies einem sehr hellem rot. Mit abnehmender Spannung wird das rot immer dunkler bis schließlich bei einer Ausgangsspannung von 0 V die Farbe schwarz erreicht ist. Auf diese Weise lassen sich beliebige Trigger-Tower Signale programmieren und auf Wunsch als Farbmuster auf dem Monitor darstellen. Die in Kapitel 3.1 dargestellten Signale wurden genau nach diesem Verfahren erzeugt und mit einem Oszilloskop gemessen [14]. Eine Grafikkarte als Signalgenerator zu verwenden hat den Vorteil, dass sie als Massenprodukt sehr billig ist, dass damit beliebige Trigger-Tower Signale programmiert werden können und dass sie sehr schnell ist. Bei einer von der Matrox G450DH unterstützten Auflösung von  $2048 \times 1536$  und einer Bildwiederholrate von 60 Hz ergibt sich eine Pixelfrequenz von  $5.5 \text{ ns/pixel}$ . Da die Anstiegszeit (Zeit, die vom Beginn bis zum Erreichen des Maximums des Signals vergeht) der Trigger-Tower Signale rund 50 ns beträgt, folgt damit, dass die Trigger-Tower Signale im Anstieg durch neun Pixel dargestellt werden, so dass allein in einer Zeile mit 2048 Pixel Länge mehrere vollständige Trigger-Tower Signale untergebracht werden können. Angesichts der im kHz-Bereich liegenden Zeilenfrequenz ergibt sich damit eine enorm schnelle Signalgenerierung.

Die vier von der DualHead-Grafikkarte erzeugten Testsignale werden von der MCM Testkarte empfangen. Auf der MCM Testkarte werden das in Kapitel 3 besprochene Analog Input Board und das zu testende PPrMCM aufgesteckt. Zusätzlich befinden sich auf der MCM Testkarte eine Reihe von weiteren elektronischen Komponenten, die im Abschnitt 5.3 im Detail erläutert werden. Hier soll die Beschreibung auf den für den Datenfluss notwendigen Komponenten beschränkt bleiben.

Auf der Testkarte werden zunächst die unipolaren, von der Grafikkarte kommenden, Testsignale durch eine aktive Schaltung mit Operationsverstärkern in differenzielle Signale transformiert. Gleichzeitig bewirkt die aktive Schaltung eine Verstärkung der Testsignale und zwar derart, dass der Spannungsbereich der Testsignale von 0–0.7 V auf den Spannungsbereich von 0–2.5 V abgebildet wird. Auf diese Weise werden die Testsignale so aufbereitet, dass sie genau den Anforderungen des nachfolgenden Analog Input Boards entsprechen. Das Analog Input Board stellt dem zu testenden PPrMCM die aufbereiteten analogen Testsignale und die digitalen externen BCID Signale zur Verfügung. Das PPrMCM generiert daraus die zwei Datenströme: den Echtzeit Datenstrom und den Auslese Datenstrom. Die beiden Datenströme werden zur Evaluation von einer Datensenke aufgenommen. Hierzu wird das so genannte *General Purpose Motherboard*, eine multifunktionelle VME-Karte, verwendet.

Das General Purpose Motherboard ist eine 23.3 cm hohe VME-Karte, auf die bis zu zwei CMC<sup>1</sup>-Tochterkarten aufgesteckt werden können. Mit Hilfe des auf dem General Purpose Motherboard befindlichen FPGAs XC4010XL können die aufgesteckten CMC-Tochterkarten kontrolliert und konfiguriert werden. Abhängig von den aufgesteckten CMC-Karten wird der passende FPGA Code in den XC4010XL geladen.

Eine weitere wichtige Komponente auf dem General Purpose Motherboard ist das 32

---

<sup>1</sup>CMC: Common Mezzanine Card



kByte große Dual-Ported RAM<sup>2</sup>, das sowohl zum XC4010XL als auch zum VME-Bus eine Schnittstelle besitzt. Das Dual-Ported RAM erlaubt den gleichzeitigen Zugriff, d.h. Lesen oder Schreiben, auf den Speicher von beiden Schnittstellen aus. Die weiteren Komponenten wie das Netzteil oder der Taktgenerator sind auf dem Foto zu erkennen.

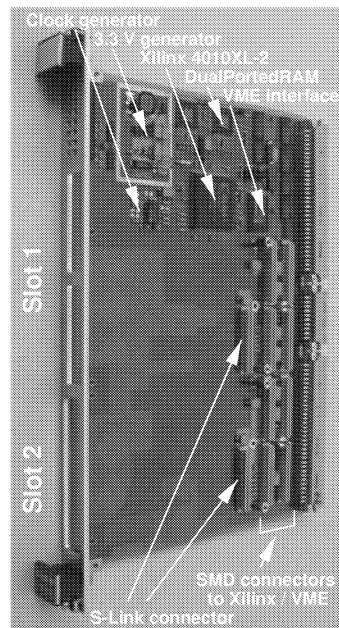


Abbildung 5.3: Das General Purpose Motherboard

Das General Purpose Motherboard wird für das Testsystem mit zwei Tochterkarten bestückt: zum einen mit der so genannten Virtex-CMC-Karte und zum anderen mit der so genannten LVDS Sender/Empfänger-Karte. Das General Purpose Motherboard wurde so entworfen, dass zwischen diesen beiden CMC-Karten eine direkte Verbindung untereinander hergestellt werden kann.

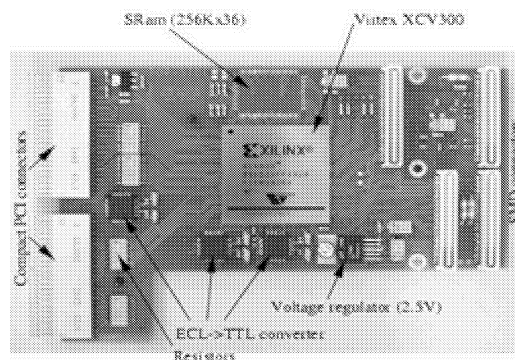


Abbildung 5.4: Die Virtex-CMC-Karte

<sup>2</sup>Random Access Memory

Die Virtex-CMC-Karte [18] besitzt als Schlüsselkomponenten einen Virtex XCV300 FPGA und ein  $256K \times 36$  Bit großes SRAM<sup>3</sup>. Die LVDS Sender/Empfänger-Karte wird für das Testsystem mit dem FPGA XCV50E und den drei LVDS Deserialisierern DS92LV1210 bestückt, die mit den auf dem PPrMCM verwendeten LVDS Serialisierern DS92LV1021 kompatibel sind. Die Deserialisierer auf der LVDS Sender/Empfänger-Karte nehmen die Daten des Echtzeit Datenstroms, der von den drei LVDS Serialisierern auf dem PPrMCM ausgeht, auf und senden diese direkt zur Virtex-CMC-Karte. Über den Virtex XCV300 FPGA der Virtex-CMC-Karte werden die Daten dann im SRAM zwischengespeichert. Die Daten des Auslestroms werden vom FPGA XCV50E der LVDS Sender/Empfänger-Karte empfangen. Von dort werden die Daten zur Virtex-CMC-Karte geschickt. Über den Virtex XCV300 FPGA der Virtex-CMC-Karte werden die Daten im SRAM zwischengespeichert.

Die vom PPrMCM generierten Daten werden also alle im SRAM der Virtex-CMC-Karte zwischengespeichert. Von dort aus werden sie dann, über den XC4010XL FPGA und das Dual-Ported RAM des General Purpose Motherboard gehend, über den VME-Bus ausgelesen. Abbildung 5.5 veranschaulicht die beschriebenen Datenströme.

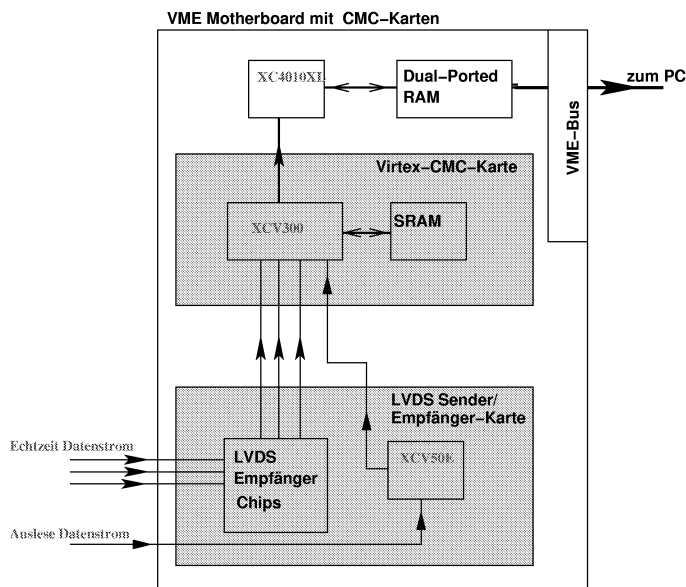


Abbildung 5.5: Veranschaulichung der Datenströme, der FPGAs und der Speicher.

Die Daten werden von einem PC empfangen, wo sie später oder aber idealerweise in Echtzeit analysiert werden. Als Analysesoftware wird HDMC (Hardware Diagnostics, Monitoring and Control Software) verwendet. Nähere Informationen zu diesem in C++ geschriebenen Programm findet sich in [26]. Für eine umfassende Analyse dieser Daten, die das PPrMCM aus Testsignalen mit allen möglichen Amplituden und Signalformen generiert hat, muss die komplette Verarbeitungskette von der Grafikkarte bis einschließlich dem PPrMCM simuliert werden. Die vom PPrMCM generierten Daten werden dann mit diesen Simulationsdaten verglichen. Da von analogen Signalen ausgegangen wird<sup>4</sup>, wird

<sup>3</sup>SRAM: Static Random Access Memory

<sup>4</sup>Wird ein analoges Signal digitalisiert und anschließend mittels eines DACs wieder in ein analoges

ein Fehlerbereich definiert. Liegen die Messdaten innerhalb dieses Fehlerbereichs, gelten sie als gleich, selbst wenn es einige unterschiedliche Bits geben sollte.

Neben der Analysesoftware ist Software zum Konfigurieren des gesamten Testsystems notwendig. Auch hierfür wird HDMC verwendet. Des Weiteren sind drei FPGA Designs notwendig, ein Design für den XC4010XL auf dem General Purpose Motherboard, ein Design für den XCV300 auf der Virtex-CMC-Karte und ein Design für den XCV50E auf der LVDS Sender/Empfänger-Karte.

### 5.3 Die MCM Testkarte

Da das im vorigen Abschnitt beschriebene Testsystem unter anderem bei Hasec vor Ort aufgebaut wird, ist darauf zu achten, dass das komplette System handlich und portabel ist. Dies wird dadurch gewährleistet, indem die Signalquelle und die Datensinke in einem kleinen 6U (23.3 cm) hohen Überrahmen eingebaut werden. Die MCM Testkarte würde in diesen Überrahmen auch noch Platz finden. Da aber 3200 PPrMCMs zu testen und nacheinander auf die MCM Testkarte aufzustecken sind (im unverkapselten Zustand, d.h. mit offenliegenden Bonddrähten!), ist dies sinnvoll nur dadurch realisierbar, indem die MCM Testkarte als eigenständige Einheit frei zugänglich auf den Experimentiertisch angebracht wird. Um das Aufstecken der PPrMCMs auf die MCM Testkarte zu erleichtern, werden auf der MCM Testkarte Führungsstifte angebracht, die die in der zweiten Version des PPrMCMs links und rechts hinzugefügten Löcher zur Führung ausnutzen. Die auf der MCM Testkarte aufgelöteten BSH-030 Stecker, die die passenden Gegenstecker zu den auf dem PPrMCM verwendeten BTH-030 Stecker darstellen, sind nur für eine sehr begrenzte Anzahl von Steckzyklen ausgelegt. Um den wiederholten Austausch der BSH-030 Stecker auf der MCM Testkarte zu vermeiden, wird eine kleine Zwischenkarte gefertigt. Die Zwischenkarte besitzt auf der Oberseite den BSH-030 Stecker und auf der Unterseite den BTH-030 Stecker und verbindet die Pins dieser beiden Stecker im 1:1 Schema, d.h. es handelt sich um eine reine Durchführung. Die Zwischenkarte wird nun auf die MCM Testkarte gesteckt. Die PPrMCMs werden auf diese Weise nicht mehr direkt auf die MCM Testkarte, sondern stattdessen auf die Zwischenkarte gesteckt. Ist der zulässige Steckzyklus des BSH-030 Steckers der Zwischenkarte erreicht, wird die Zwischenkarte einfach durch eine neue Zwischenkarte ersetzt. Da das PPrMCM mit der Bestückungsseite auf die MCM Testkarte gesteckt wird, besitzt die MCM Testkarte im Bereich des PPrMCMs eine Ausfräsung. Die Ausfräsung erlaubt den Zugriff auf das PPrMCM von der Unterseite der MCM Testkarte und ermöglicht im Falle eines defekten PPrMCMs Sichtprüfungen und Kontrollmessungen.

Neben dem zu testenden PPrMCM trägt die MCM Testkarte das Analog Input Board. Von den 16 Kanälen des Analog Input Boards werden nur vier für den Test des vierkanaligen PPrMCMs benötigt. Die restlichen Kanäle werden "abgeschaltet", indem ihre Eingänge auf Masse gelegt werden.

Abbildung 5.6 zeigt neben dem Analog Input Board und dem PPrMCM die wichtigsten

---

Signal transformiert, wird dieses analoge Signal nicht mehr exakt dem ursprünglichen Signal entsprechen. Dies liegt an der Nicht-Idealität aller Bauteile, z.B. weist der Abtastzeitpunkt eines ADCs immer kleine Schwankungen auf (Jitter).

weiteren Komponenten der MCM Testkarte. Im Folgenden sollen die verwendeten Bauteile kurz vorgestellt und ihre Aufgaben erläutert werden.

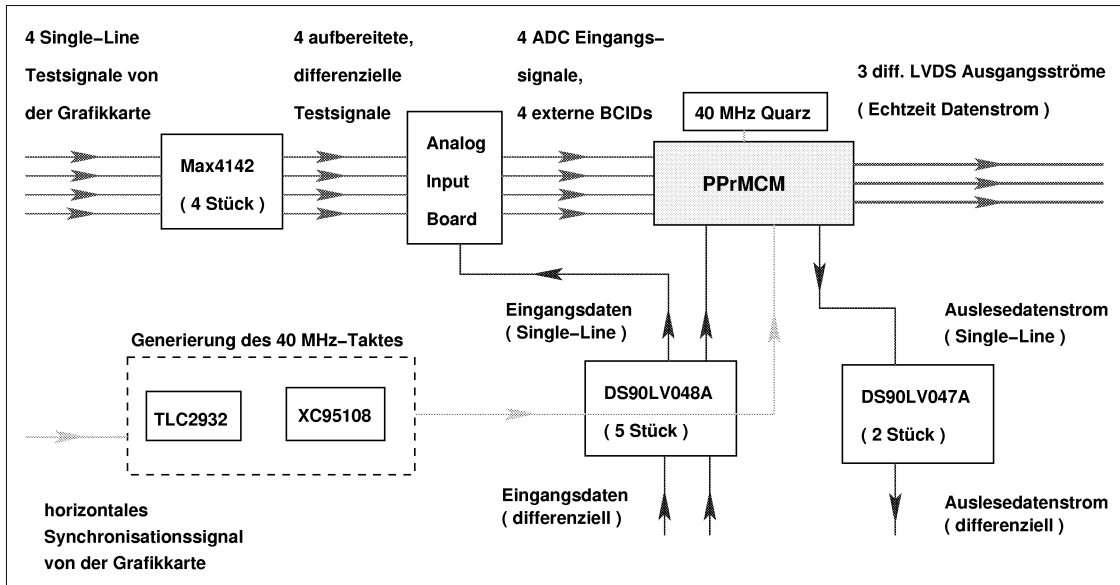


Abbildung 5.6: Die MCM Testkarte

### TLC2932, XC95108 und 40 MHz-Quarz

Die Chips auf dem zu testenden PPrMCM werden mit 40 MHz getaktet. Um zu erreichen, dass der 40 MHz-Takt synchron zu den von der Grafikkarte generierten analogen Testsignalen ist, wird unter dem Einsatz einer phasenverriegelten Rückkopplung, kurz PLL<sup>5</sup> genannt, der 40 MHz-Takt aus dem von der Grafikkarte kommenden horizontalen Synchronisationssignal erzeugt. Abbildung 5.7 zeigt das Schema einer PLL.

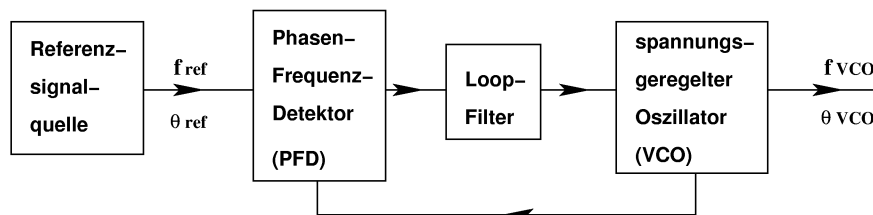


Abbildung 5.7: Schema einer PLL

Die PLL ist ein Schaltkreis mit Rückkopplung, die dafür sorgt, dass sowohl die Frequenz als auch die Phase zwischen einem Referenzsignal und dem Ausgangssignal eines spannungsgeregelten Oszillators (VCO<sup>6</sup>) gleich sind. Hierzu vergleicht der Phasen-Frequenz

<sup>5</sup>PLL: Phase Locked Loop

<sup>6</sup>VCO: Voltage Controlled Oscillator

Detektor (PFD<sup>7</sup>) das VCO-Ausgangssignal mit dem Referenzsignal. Der Phasen-Frequenz Detektor erzeugt ein zur Phasendifferenz proportionalen Ausgangspuls. Dieser Puls wird mittels eines Loop-Filters geglättet. Die DC-Komponente des geglätteten Pulses wird als Eingangsspannung zur Steuerung des VCO verwendet. Das Ausgangssignal des VCO wird wieder dem PFD zugeführt, der einen erneuten Vergleich durchführt und die Frequenz des VCO so steuert, dass die Phasendifferenz minimiert wird. Auf diese Weise werden die Frequenz und die Phase des Referenzsignals und des VCO-Ausgangssignals angeglichen und bei Erreichen der Frequenz- und Phasengleichheit dieser Zustand festgehalten. Im Fall der MCM Testkarte dient das horizontale Synchronisationssignal, das z.B. typisch eine Frequenz von  $40\text{ kHz}$  aufweist, als Referenzsignal. Der gewünschte  $40\text{ MHz}$ -Takt stellt das Ausgangssignal des VCOs dar. Da sich die Frequenz des Referenzsignals um den Faktor 1000 von der Frequenz des VCO-Ausgangssignals unterscheidet, muss die in Abbildung 5.7 dargestellte PLL durch einen Frequenzteiler zwischen dem PFD und VCO ergänzt werden, so dass sich das in Abbildung 5.8 dargestellte Schema ergibt.

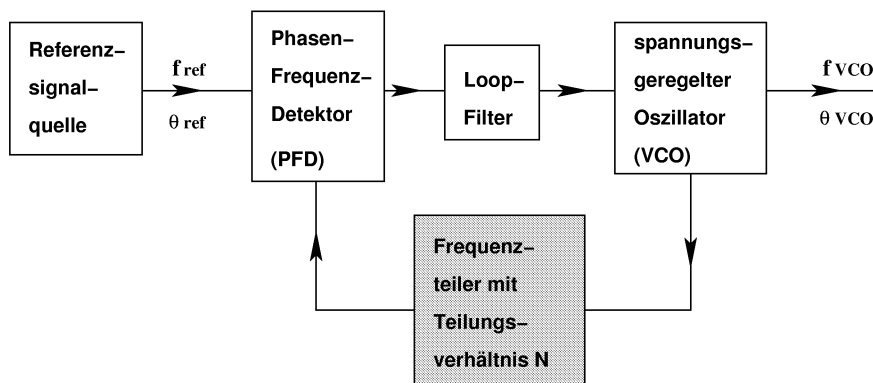


Abbildung 5.8: Schema einer PLL als Frequenzbilder

Auf der MCM Testkarte wird diese Schaltung realisiert unter dem Einsatz des ICs<sup>8</sup> TLC2932 [29] von Texas Instruments, der den PFD und den VCO zur Verfügung stellt. Der Loop-Filter wird durch eine externe Beschaltung des TLC2932 mit Widerständen und Kondensatoren realisiert. Der Frequenzteiler wird im CPLD<sup>9</sup> XC95108 [30] von Xilinx implementiert und zwar als 10 Bit Zähler mit programmierbarem Endwert. Der programmierbare Endwert stellt sicher, dass bei unterschiedlich gewählten Frequenzen des Referenzsignals auch immer die  $40\text{ MHz}$  erreicht werden können. Es gilt nämlich der Zusammenhang:  $f_{ref} = f_{VCO}/N$ , wobei  $f_{ref}$  die Frequenz des Referenzsignals,  $f_{VCO}$  die Frequenz des VCO-Ausgangssignals (ist vorgegebenen:  $40\text{ MHz}$ ) und  $N$  das Teilungsverhältnis des Frequenzteilers ist. Gleichzeitig wird das CPLD dazu genutzt, das stark asymmetrische Tastverhältnis des horizontalen Synchronisationssignales zu symmetrisieren. Unter dem Tastverhältnis versteht man dabei das Verhältnis wie lange ein periodisches Signal High und Low ist. Erst das durch das CPLD symmetrisierte horizontale Synchronisati-

<sup>7</sup>PFD: Phase Frequency Detector

<sup>8</sup>IC: Integrated Circuit

<sup>9</sup>CPLD: Complex Programmable Logic Device

onssignal dient als Referenzsignal für den TLC2932. Für eine einwandfreie Funktion des TLC2932 ist diese Symmetrisierung notwendig.

Neben den durch die PLL generierten 40 MHz-Takt ist zusätzlich ein 40 MHz-Quarz auf der MCM Testkarte vorgesehen. Dieser Quarz ist als Referenz für den auf dem PPrMCM befindlichen Phos4 notwendig, da dieser Chip im Fall eines Ausfalls des 40 MHz-Taktes ohne Referenz in einen undefinierten Zustand fällt.

## **MAX4142**

Die vier von der Grafikkarte generierten unipolaren Testsignale werden unter dem Einsatz von vier MAX4142 differenziellen Treiberbausteinen [31] in differenzielle Signale transformiert. Gleichzeitig wird der Spannungsbereich der Testsignale von 0–0.7 V auf den Spannungsbereich von 0–2.5 V verstärkt. Der MAX4142 Baustein besitzt bereits eine interne Verstärkung von 2 V/V. Durch eine externe Beschaltung des MAX4142 mit mehreren Widerständen lässt sich die Verstärkung auf den gewünschten Faktor von rund 3.5 anpassen. Damit entsprechen die von der Grafikkarte kommenden Testsignale den Anforderungen des nachfolgenden Analog Input Boards.

## **DS90LV048A und DS90LV047A**

Die Signale zwischen der MCM Testkarte und des General Purpose Motherboards müssen differenziell übertragen werden. Nur die beiden Leitungen SDA und SCL des I2C-Buses bleiben weiterhin Single-Line Signale, da hier aufgrund des definierten Bus Protokolls eine differenzielle Übertragung ausgeschlossen ist [40]. Unter dem Einsatz der vierkanaligen LVDS differenziellen Empfänger DS90LV048A [32], werden die an der MCM Testkarte ankommenden differenziellen Signale in Single-Line Signale transformiert. Dazu gehört z.B. das Signal SerIn1, das die Eingangsleitung der ersten seriellen Schnittstelle des PPrASICs auf dem PPrMCM darstellt oder das Signal Resetbar, mit dessen Hilfe ein Reset des PPrASICs ausgelöst werden kann. Insgesamt werden fünf solche LVDS differenzielle Empfänger verwendet. Single-Line Signale, die die MCM Testkarte verlassen, werden mittels der vierkanaligen LVDS differenziellen Sender DS90LV047A [33] vor dem Verlassen der Karte differenziell gemacht. Dazu gehört z.B. das Signal SerOut1, das die Ausgangsleitung der ersten seriellen Schnittstelle des PPrASICs darstellt. Insgesamt werden zwei solche LVDS differenzielle Sender verwendet.

## **L200, LM317, L7905, L7805**

Im Falle der MCM Testkarte wurden sieben verschiedene Spannungsnetze eingeführt. Die in Kapitel 4 bereits eingeführten Spannungsnetze AVDD=+5.0 V analog, DVCC=+3.3 V digital und AVCC=+3.3 V analog des PPrMCMs wurden vollständig von den übrigen Spannungsnetzen abgekoppelt. Dies erleichtert den Test des PPrMCMs. So wird (siehe unten) die Spannung und auch der Strom in jedem der drei Netze AVDD, DVCC und AVCC permanent überwacht. Sollte das PPrMCM einen Defekt, z.B. einen Kurzschluss haben, macht sich dies sofort bemerkbar. Zur Generierung dieser Spannungen werden drei Spannungsregler vom Typ L200 [34] eingesetzt. Durch eine externe Beschaltung der L200 mit

Widerständen wurde für das AVDD-Netz eine Strombegrenzung von  $1\text{ A}$ , für das AVCC-Netz eine Strombegrenzung von  $0.3\text{ A}$  und für das DVCC-Netz eine Begrenzung von  $1.5\text{ A}$  eingestellt. Sollte ein zu testendes PPrMCM tatsächlich einmal einen Kurzschluss aufweisen, werden durch die Strombegrenzungen Schäden am PPrMCM vermieden. Für die restlichen Komponenten auf der MCM Testkarte sind weitere vier Spannungsnetze erforderlich:  $+5.0\text{ V}$  digital,  $+5.0\text{ V}$  analog,  $-5.0\text{ V}$  analog und  $+3.3\text{ V}$  digital. Zur Generierung der  $+5.0\text{ V}$  Spannungen werden zwei Festspannungsregler L7805 [34] und zur Generierung der  $-5.0\text{ V}$  Spannung ein Festspannungsregler L7905 [34] verwendet. Zur Erzeugung der  $+3.3\text{ V}$  Spannung kommt der einstellbare Spannungsregler LM317 [34] zum Einsatz.

### MAX128 und OP07C

Die Ströme in den drei Spannungsnetzen AVDD, DVCC und AVCC des PPrMCMs werden permanent überwacht. Jeder Strom ruft jeweils an einem Sensierwiderstand einen kleinen Spannungsabfall hervor, der mittels des als Differenzverstärker beschalteten Operationsverstärkers OP07C [36] verstärkt wird. Die verstärkte Spannung wird dann digitalisiert. Hierzu wird der achtkanalige ADC MAX128 [35] verwendet, der entsprechend seiner acht Kanäle einen internen Multiplexer besitzt und seine Daten über eine I2C-Schnittstelle abliefern. Der MAX128 besitzt eine Auflösung von 12 Bit. Aus den vier per Software auswählbaren Eingangsbereichen des MAX128 wird der Spannungsbereich von  $0\text{ V}$  bis zur internen Referenzspannung von  $4.096\text{ V}$  gewählt, so dass 1 LSB einer Spannung von  $1\text{ mV}$  entspricht, was eine genügend hohe Auflösung darstellt. Die Abtastrate des MAX128 von  $8\text{ kHz}$  ist für die Messung von Strömen bzw. Spannungen vollkommen ausreichend. Die auf diese Weise erhaltenen Stromwerte in den drei Spannungsnetzen des PPrMCMs lassen sich dann unmittelbar mit den theoretisch vorhergesagten Werten vergleichen, womit ein erster Hinweis über das korrekte Funktionieren des aufgesteckten PPrMCMs gegeben ist. Weitere drei Kanäle des ADCs werden für die Messung der Spannungen AVDD, DVCC und AVCC verwendet. Wird hier z.B. in einem der drei Spannungsnetze eine von der erwarteten Spannung abweichende Spannung gemessen, liegt somit ein defektes PPrMCM, das z.B. einen Kurzschluss haben könnte, vor. Schließlich wird noch mit einem weiteren Kanal des ADCs die Temperatur des PPrASICs überwacht. Der PPrASIC besitzt intern eine Diode mit einem Arbeitspunkt, der bei ungefähr  $1\text{ mA}$  liegt. Der Strom durch die Diode ist temperaturabhängig. An den zur Diode gehörenden Pin wird ein externer Sensierwiderstand angebracht, dessen Spannungsabfall wieder durch den als Differenzverstärker beschalteten Operationsverstärker OP07C verstärkt wird. Die verstärkte Spannung wird dann wie gehabt wieder durch den MAX128 digitalisiert.

Der Schaltplan wurde mit dem Schaltplaneditor *Concept* erstellt, der Teil des sehr umfangreichen Softwarepakets von Cadence ist. Der Schaltplan findet sich im Anhang C. Zum Zeitpunkt des Schreibens dieser Arbeit wird gerade das Layout mit Allegro, das auch zum Softwarepaket von Cadence gehört, erstellt.

# Kapitel 6

## Die Adapter-Karte

### 6.1 Test des PPrMCMs ohne PPrASIC

Bereits im Juli 2001 lieferte Würth Elektronik sechs MCM Substrate der ersten Version des PPrMCMs. Drei von diesen MCM Substraten wurden bis auf den PPrASIC vollständig bestückt. Da zu diesem Zeitpunkt der PPrASIC noch nicht submittiert war und die geplante Submission sich immer wieder verzögerte, wurde nach einer Möglichkeit gesucht, erste Tests des PPrMCMs ohne den PPrASIC durchzuführen. Die Idee war, den fehlenden PPrASIC zu überbrücken und zwar in der Hinsicht, dass die digitalen Ausgangsdaten der vier ADCs mit den Eingängen der LVDS Serialisierer verbunden werden. Da die vier ADCs je einen 10 Bit breiten Datenstrom erzeugen, aber nur drei 10 Bit LVDS Serialisierer zur Verfügung stehen, kam die Idee auf, ein CPLD mit einem darin implementierten Multiplexer zu verwenden. Allerdings gibt es kein CPLD, das mit dem Footprint des PPrASICs kompatibel ist, weder in der Anzahl und Anordnung der Pins, noch in der Größe. Der PPrASIC selbst ist nur  $8.3\text{ mm} \times 8.3\text{ mm}$  und der dazugehörige Footprint ca.  $9.0\text{ mm} \times 9.0\text{ mm}$  groß. Um das Problem zu lösen, wurde eine Zwischenkarte, die so genannte Adapter-Karte, entworfen. Die Adapter-Karte trägt das CPLD XC95288XL [42] von Xilinx, in welchem der Multiplexer mit Hilfe von Verilog implementiert wird. Der Verilog Design-Prozess wird im Abschnitt 6.2 erläutert. Die Adapter-Karte mit dem CPLD wurde auf das bis auf den PPrASIC bestückte PPrMCM fest montiert, so dass sich die in Abbildung 6.1 gezeigte Anordnung ergibt.

Die Adapter-Karte, die hinsichtlich Länge und vor allem Breite das PPrMCM überragt, besitzt drei Ausfräsungen: zwei Ausfräsungen stimmen in Größe und Position mit den beiden auf dem PPrMCM aufgelöteten Steckern überein. Nach dem Aufstecken der Adapter-Karte auf das PPrMCM schauen so die Stecker teilweise noch heraus und sind auf diese Weise noch zugänglich. Die dritte Ausfräsung wurde exakt über dem Footprint des PPrASICs angebracht und ist mit einer Größe von knapp  $20\text{ mm} \times 20\text{ mm}$  wesentlich größer als der Footprint selbst. Nun wurden alle Pads, auch die Masse- und Spannungsversorgungspads, des PPrASIC-Footprints mit Pads auf der Adapter-Karte durch Bonddrähte verbunden. Die ca. 1 cm langen Bonddrähte fallen also wie ein Wasserfall von den Pads auf der Adapter-Karte durch die dritte Ausfräsung hinunter zu den Pads des PPrASIC-Footprints. Von den Pads auf der Adapter-Karte führen dann Leitungen an der



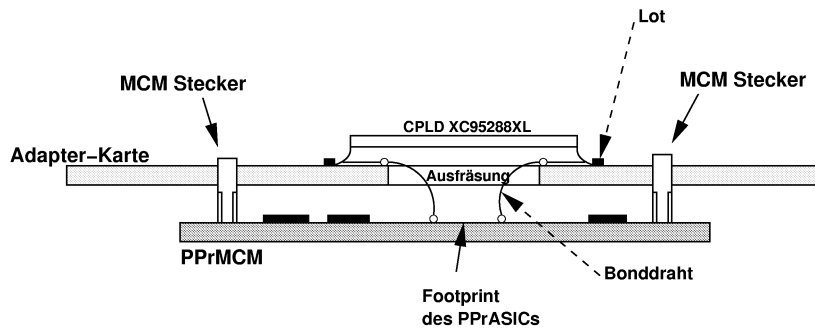


Abbildung 6.1: Auf das unten liegende PPrMCM wird die Adapter-Karte mit dem darauf aufgelöteten CPLD fest montiert. Die elektrische Verbindung zwischen dem PPrMCM und der Adapter-Karte wird durch Bonddrähte hergestellt, die von der Adapter-Karte durch eine unter dem CPLD befindlichen Ausfräsung auf den Footprint des PPrASICs führen. Nähere Erläuterungen siehe Text.

Oberseite der Adapter-Karte zum Footprint des CPLDs, das nach dem Bonden auf die Adapter-Karte gelötet wurde und die dritte Ausfräsung vollständig verdeckt. Das Routing der Leitungen ist dabei so gemacht, dass die Masse- und Spannungsversorgungspads des CPLDs mit den Masse- und Spannungsversorgungspads des PPrASICs verbunden sind. Die Adapter-Karte selbst besitzt keine eigene Spannungsversorgung, diese wird vom PPrMCM geliefert, genauso wie das PPrMCM auch die Spannungsversorgung des PPrASICs sicherstellt, nur dass es jetzt stattdessen ein CPLD ist. Beide, sowohl der PPrASIC als auch das CPLD, arbeiten mit der gleichen Spannung von  $3.3\text{ V}$ . Die verbleibenden Leitungen wurden mit beliebigen Ein-/Ausgabepads des CPLD verbunden. In Abbildung 6.2 und Abbildung 6.3 ist die Adapter-Karte einmal vor dem Auflöten des CPLDs und einmal mit dem CPLD zu sehen. Da zwischen dem CPLD und der Adapter-Karte bedingt durch die CPLD-Pins ein Abstand von ca.  $1\text{ mm}$  besteht, werden die darunterliegenden Bonddrähte durch das CPLD nicht beschädigt.

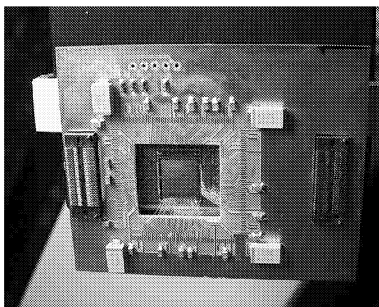


Abbildung 6.2: Die Adapter-Karte vor dem Auflöten des CPLDs. Nähere Erläuterungen siehe Text.

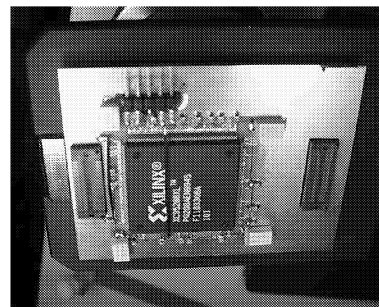


Abbildung 6.3: Die fertige Adapter-Karte mit aufgelötetem CPLD. Näheres siehe Text.

Dieser Aufbau, das PPrMCM mit der darauf montierten Adapter-Karte, wird nun

kopffüber auf die in Kapitel 5.3 beschriebene MCM Testkarte aufgesteckt, so dass sich die in Abbildung 6.4 gezeigte Anordnung ergibt.

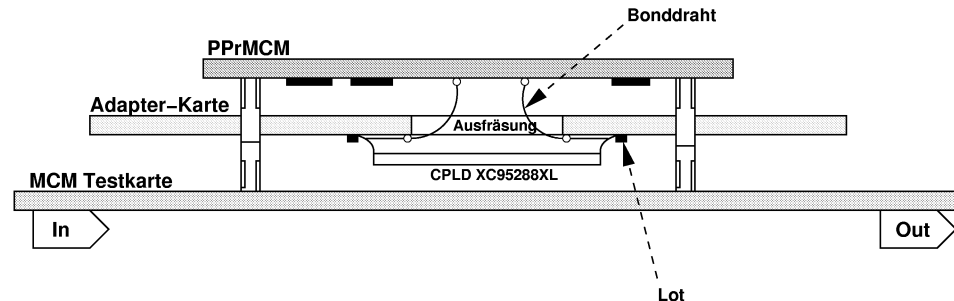


Abbildung 6.4: Das PPrMCM mit der darauf montierten Adapter-Karte wird kopffüber auf die MCM Testkarte gesteckt.

Die MCM Testkarte mit diesem Aufbau wird in das in Kapitel 5 beschriebene Testsystem integriert und zwar genau so, als ob ein PPrMCM mit PPrASIC aufgesteckt worden wäre. Das Testsystem liefert die notwendigen Testsignale und fängt die vom PPrMCM mit dem CPLD als PPrASIC-Ersatz generierten Daten wieder auf.

Da alle Anschlüsse des PPrASICs mit dem CPLD verbunden wurden, können neben dem bloßen Durchschleifen der ADC Daten zu den LVDS Serialisierern mittels eines im CPLD implementierten Multiplexers natürlich auch einzelne vom PPrASIC übernommene Aufgaben getestet werden. Eine vollständige Implementierung des PPrASICs in das XC95288XL-CPLD ist aus Ressourcengründen ausgeschlossen. Im Folgenden soll kurz der CPLD Design-Prozess beschrieben werden.

## 6.2 CPLD Design-Prozess

Für die Adapter-Karte wird das CPLD XC95288XL [42] von Xilinx verwendet. Im Prinzip besteht dieses CPLD aus drei Komponenten: Funktionsblöcken, Ein-/Ausgabeblocken und einem Verbindungsnetzwerk, der so genannten FastCONNECT II Switch Matrix. Insgesamt umfasst der XC95288XL Baustein 16 Funktionsblöcke, die 6400 logische Gatter zur Verfügung stellen. Jeder Funktionsblock ist dabei in 18 Makrozellen unterteilt. Die Ein-/Ausgabeblocke verbinden die Ein-/Ausgabe Pins des CPLDs mit der internen Logik und ermöglichen, diese Pins als Eingang, Ausgang oder bidirektional zu betreiben. Das verwendete Gehäuse PQ208 (208-Pin Plastic Quad Flat Pack) für den XC95288XL stellt 168 Ein-/Ausgabepins zur Verfügung. Zusätzlich verfügt das XC95288XLPQ208-CPLD über 8 so genannte globale Ein-/Ausgabepins, die zum Beispiel die Verteilung eines Takt- oder Resetsignals ermöglichen, ohne die Ressourcen des Verbindungsnetzwerks, das für die Verbindung der verschiedenen Blöcke untereinander sorgt, zu benutzen. Diese globalen Ein-/Ausgabepins wurden jedoch im Falle der Adapter-Karte nicht benutzt.

Zur Implementierung des gewünschten Multiplexers in dieses CPLD wurden drei Stufen durchlaufen. Als erstes erfolgte die *Design-Eingabe* in der Hardwarebeschreibungssprache Verilog [28]. Auf einer abstrakten Ebene wird hierbei das Verhalten des Multiplexers spezifiziert. Der im CPLD implementierte Verilog-Code sieht folgendermaßen aus:

```

module mux (CLK, Sel, ADC1, ADC2, ADC3, ADC4, TOCP1, TOCP2, TOJP);

input CLK;
input [3:0] Sel;
input [9:0] ADC1, ADC2, ADC3, ADC4;
output [9:0] TOCP1, TOCP2, TOJP;

reg [9:0] TOCP1, TOCP2, TOJP;

always @(posedge CLK)
case(Sel)
  0: TOCP1=ADC1;
  1: TOCP1=ADC2;
  2: TOCP1=ADC3;
  3: TOCP1=ADC4;
  4: TOCP2=ADC1;
  5: TOCP2=ADC2;
  6: TOCP2=ADC3;
  7: TOCP2=ADC4;
  8: TOJP=ADC1;
  9: TOJP=ADC2;
  10: TOJP=ADC3;
  11: TOJP=ADC4;
  default: TOCP1=ADC1;
endcase
endmodule

```

Als Eingangssignale bekommt dieses Modul die vier 10 Bit breiten Datenbusse der vier ADCs des PPrMCMs, die auf die 10 Bit breiten Ausgangsdatenbusse in Richtung der LVDS Serialisierer geschaltet werden. Vier unbenutzte Ein-/Ausgabepins des CPLDs wurden als Eingang von vier Steuerleitungen gewählt, über die durch Anlegen von einer der 16 möglichen Bitkombinationen bestimmt wird, welche ADC Daten zu welchem LVDS Serialisierer gesendet werden sollen. Der 40 MHz-Takt, den das CPLD vom PPrMCM erhält und ursprünglich als Takt für den PPrASIC gedacht war, sorgt für die Synchronisation des Multiplexers. Ein asynchroner Multiplexer wurde realisiert durch:

```

module mux (Sel, ADC1, ADC2, ADC3, ADC4, TOCP1, TOCP2, TOJP);

input [1:0] Sel;
input [9:0] ADC1, ADC2, ADC3, ADC4;
output [9:0] TOCP1, TOCP2, TOJP;

reg [9:0] TOCP1, TOCP2, TOJP;

always @(Sel or ADC1 or ADC2 or ADC3 or ADC4)

```

```

case(Sel)
  0: TOCP1=ADC1;
  1: TOCP2=ADC2;
  2: TOJP=ADC3;
  3: TOCP1=ADC4;
  default: TOCP1=ADC1;
endcase

endmodule

```

Die zweite Stufe ist die Synthese, in der die abstrakte Verilog-Beschreibung weitgehend automatisch per Software in einen Schaltplan umgewandelt wird. Die eingesetzte Synthese-Software war der *FpgaCompiler2* von Synopsys Inc. [43]. In der Synthese-Software muss das verwendete CPLD XC95288XL als Zieltechnologie angegeben werden, damit aus den zur Software gehörenden Bibliotheken nur Schaltungselemente benutzt werden, die das Xilinx CPLD zur Verfügung stellt. In der dritten und letzten Stufe, dem *Place and Route*<sup>1</sup>, wird der von der Synthese-Software generierte Schaltplan auf den XC95288XL abgebildet. Die Schaltungselemente werden also auf die Funktionsblöcke verteilt und über das Verbindungsnetzwerk miteinander verbunden. Dieser Vorgang wurde weitgehend automatisch von der Software *Design Manager* [44] übernommen. Da das Layout der Adapter-Karte bereits existiert, steht somit bereits die Pinbelegung des CPLDs fest. Deshalb wurde der Software in einem *User Constraint File* die gewünschte Pinbelegung mitgeteilt. Letztlich generiert diese Software die Datei, die in das CPLD über dessen JTAG-Schnittstelle geladen wird. Im Gegensatz zu einem FPGA verliert das CPLD seine Konfigurations-Daten mit dem Abschalten der Spannungsversorgung nicht. Im Datenblatt des XC95288XL wird ein Datenerhalt von mehr als 20 Jahren garantiert.

### 6.3 Test des PPrASICs

Der Entwurf und die Realisierung der Adapter-Karte führte auf die Idee eines funktionellen Tests des PPrASICs. Diese Idee wird nun umgesetzt. Abbildung 6.5 zeigt die Anordnung des funktionellen PPrASIC-Tests.

Im Prinzip handelt es sich um exakt denselben Aufbau wie den in Abbildung 6.4 dargestellten. Auf ein bis auf den PPrASIC vollständig bestücktes PPrMCM wird wieder eine Adapter-Karte montiert. Die elektrische Verbindung wird wieder durch Bonddrähte zwischen den Pads des Footprints des PPrASICs mit Pads auf der Adapter-Karte hergestellt. Die Fertigung der in Abbildung 6.3 gezeigten Adapter-Karte hat hierbei bewiesen, dass das anfangs für unmöglich gehaltene Bonden über einen Hub von mehr als 4 mm mittels des Ultraschall Drahtbonders MEI1204W doch realisiert werden kann. Die Adapter-Karte wird zusammen mit dem darauf montierten PPrMCM auf die MCM Testkarte aufgesteckt und auf diese Weise die gesamte Anordnung wieder in das Testsystem integriert. Der einzige Unterschied besteht darin, dass die Leiterbahnen der Adapter-Karte diesmal nicht mehr zum Footprint eines CPLDs gehen, sondern stattdessen mit vier auf der Adapter-Karte

---

<sup>1</sup>Platzieren und Verbinden der Logik

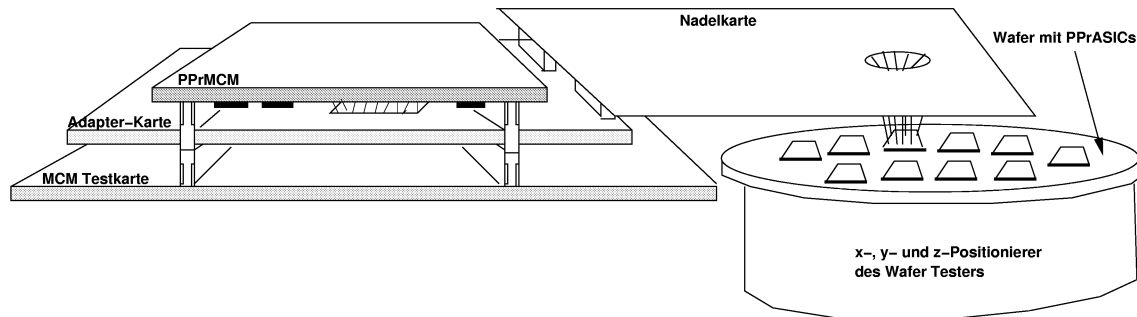


Abbildung 6.5: Eine Nadelkarte wird mit der Adapter-Karte kontaktiert. Auf diese Weise wird über die Nadelkarte und die Adapter-Karte gehend der PPrASIC-Die auf dem Wafer mit dem PPrMCM elektrisch verbunden. Nähere Erläuterungen siehe Text.

aufgelöteten Steckern verbunden werden. Das CPLD wird im Falle von dieser modifizierten Adapter-Karte nicht mehr benötigt. Auf die Stecker der Adapter-Karte wird eine Nadelkarte gesteckt. Die Nadelkarte besitzt einen Einsatz mit feinen Metallnadeln, die die Pads auf den PPrASIC in Die-Form kontaktieren. Dieser PPrASIC-Die, der über die Metallnadeln, die Nadelkarte, die Adapter-Karte und den von der Adapter-Karte zum PPrMCM gehenden Bonddrähte mit dem PPrMCM verbunden ist, ist gleichbedeutend mit einem direkt auf das PPrMCM aufgeklebten und gebondeten PPrASIC-Die. Da jedoch die Nadeln der Nadelkarte keine feste Verbindung mit den Pads des PPrASIC-Dies bilden, kann dieser Chip einfach durch einen anderen PPrASIC ersetzt werden. Dies wird realisiert, indem der in Abbildung 6.5 gezeigte Aufbau in den im ASIC-Labor der Universität Heidelberg vorhandenen Wafer<sup>2</sup>-Tester eingebaut wird. Mit diesem Wafer-Tester wird ein unzersägter Wafer mit PPrASIC-Dies in x-, y- und z-Richtung positioniert, so dass Die für Die nacheinander mit den Nadeln der Nadelkarte kontaktiert werden und auf diese Weise getestet werden. Der Test des PPrASICs ist allerdings nicht Gegenstand dieser Arbeit.

<sup>2</sup>Wafer: Siliziumscheibe, die als Trägermaterial für integrierte Schaltkreise (Chips) dient.

# Zusammenfassung und Ausblick

Diese Arbeit handelt vom Prä-Prozessor Multichip-Modul (PPrMCM) für den ATLAS Level-1 Kalorimeter Trigger Prä-Prozessor. Das PPrMCM ermöglicht die kompakte Signalverarbeitung von vier Trigger-Tower Signalen. Die Signalverarbeitung umfasst die Digitalisierung der Signale mit einer Genauigkeit von 10 Bit, die zeitliche Identifikation und Zuordnung zu einem Teilchenpaket (BCID), Transversalenergie Kalibrierung, die Auslese von Ereignisdaten und die serielle Datenübertragung zu den nachfolgenden Triggerprozessoren.

Das Layout einer ersten Version des PPrMCMs wurde mit dem Layout-Programm "APD", das Teil des Softwarepaketes von Cadence ist, fertig gestellt. Sechs dieser PPrMCMs wurden mit einer Strukturgröße von  $100\ \mu\text{m}$  nach dem TWINFlex-Verfahren der Firma Würth Elektronik gefertigt. Drei der gelieferten PPrMCMs wurden von Hand im ASIC-Labor der Universität Heidelberg bis auf den noch nicht verfügbaren PPrASIC bestückt. Um die PPrMCMs ohne den PPrASIC testen zu können, wurde eine Zwischenkarte entworfen, die den fehlenden PPrASIC überbrückt. Mit dieser Zwischkarte wird es möglich sein, die wesentlichen Funktionen des PPrMCMs zu testen. Sollten bei der anschließenden Bestückung des PPrMCMs mit dem überaus komplexen PPrASIC Probleme auftreten, ist davon auszugehen, dass sie durch den PPrASIC hervorgerufen werden.

Da die simulierte Leistung des PPrASICs im Bereich von  $2.5\text{--}3.0\ \text{W}$  liegt und im Falle der ersten Version des PPrMCMs nur mit  $1.2\ \text{W}$  gerechnet wurde, musste eine zweite Version des PPrMCMs erstellt werden. Diese zweite Version wird mit großer Wahrscheinlichkeit nun auch die endgültige Version sein.

Die Komplexität des PPrMCMs, vor allem des darauf vorhandenen PPrASICs, erfordert den Einsatz eines sehr komplexen Testsystems. Dieses Testsystem wurde im Rahmen dieser Arbeit entwickelt. Ziel war es, auf möglichst viele bereits vorhandene Hardware Komponenten zurückzugreifen. So mussten letztlich für das Testsystem nur zwei neue Karten entworfen werden: zum einen die LVDS Sender/Empfänger-Karte und die MCM Testkarte. Für die MCM Testkarte wurde im Rahmen dieser Arbeit der Schaltplan entworfen. Alle anderen Hardware Komponenten des in Kapitel 5 beschriebenen Testsystems sind bereits vorhanden. Die noch fehlenden Hardware Komponenten werden in kürzester Zeit eintreffen. Während der Hardware Sektor im Wesentlichen damit abgeschlossen ist, ist im Bereich der Software für dieses Testsystem noch viel Arbeit zu leisten. So muss die Analysefunktion in HDMC implementiert werden. HDMC soll auch die Konfiguration des gesamten Testsystems übernehmen, was bisher aber nur in begrenztem Umfang möglich ist. Des weiteren müssen drei FPGAs programmiert werden.



# Anhang A

## Layout des PPrMCMs

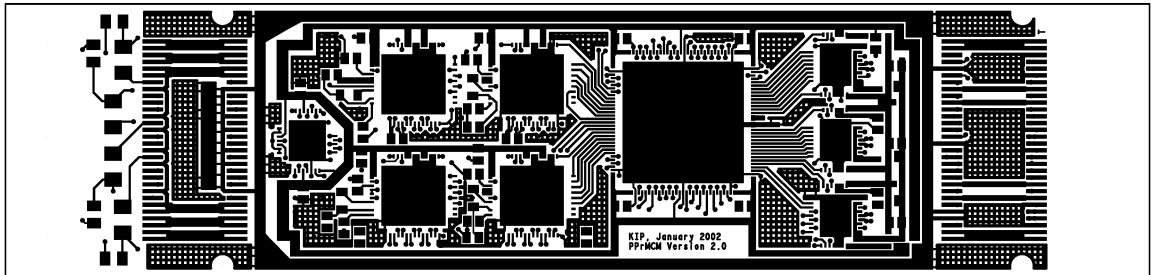


Abbildung A.1: Lage 1 (Bestückungslage)

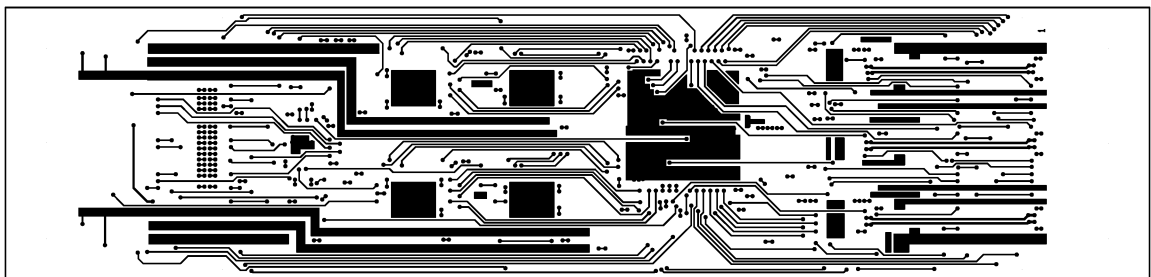


Abbildung A.2: Lage 2



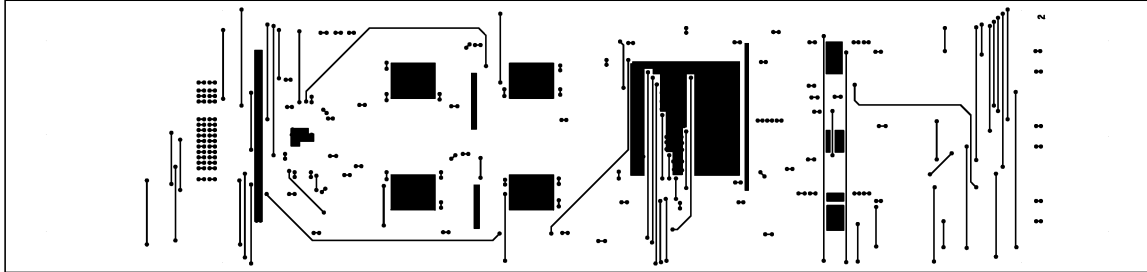


Abbildung A.3: Lage 3

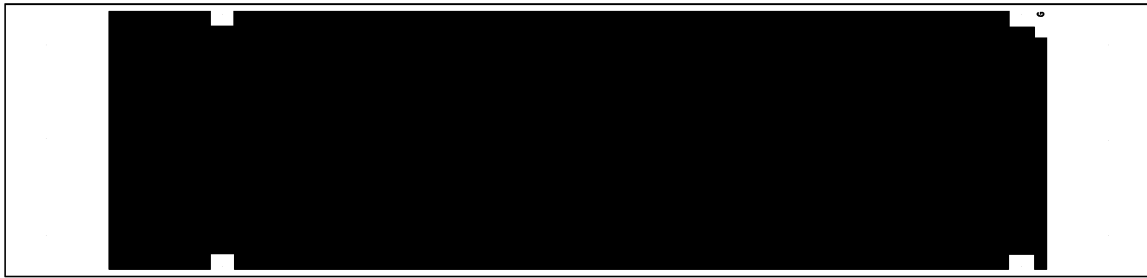


Abbildung A.4: Lage 4 (Masselage)

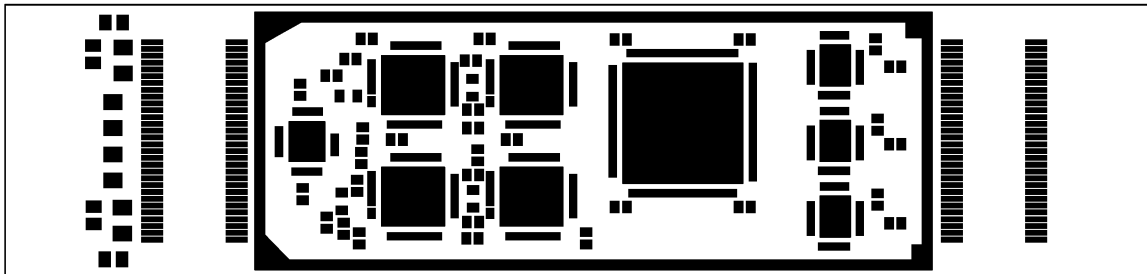


Abbildung A.5: Lötstopmmaske

## Anhang B

# Pinbelegung der Stecker des PPrMCMs

<b>Pin</b>	<b>Signal-Name</b>	<b>Beschreibung</b>	<b>Wert</b>
1	DVCC	digitale Spannungsversorgung	+3.3 V
2	DVCC	digitale Spannungsversorgung	+3.3 V
3	DVCC	digitale Spannungsversorgung	+3.3 V
4	DVCC	digitale Spannungsversorgung	+3.3 V
5	AVDD	analoge Spannungsversorgung	+5.0 V
6	AVDD	analoge Spannungsversorgung	+5.0 V
7	AVDD	analoge Spannungsversorgung	+5.0 V
8	AVDD	analoge Spannungsversorgung	+5.0 V
9	AGND	analoge Masse	0 V
10	AGND	analoge Masse	0 V
11	AGND	analoge Masse	0 V
12	AGND	analoge Masse	0 V
13	EXTBCID1	externes BCID für Kanal 2	Digital In
14	ADC2.IN	analoges Eingangssignal für den ADC2	Analog In
15	DGND	digitale Masse	0 V
16	AGND	analoge Masse	0 V
17	PHOS4.ADD5	I2C Adresse für den Phos4	Control In
18	PHOS4.ADD2	I2C Adresse für den Phos4	Control In
19	JTAGTDI	JTAG Eingang für Testdaten	Test In
20	PHOS4.ADD3	I2C Adresse für den Phos4	Control In
21	JTAGTDO	JTAG Ausgang für Testdaten	Test Out
22	PHOS4.ADD4	I2C Adresse für den Phos4	Control In
23	DGND	digitale Masse	0 V
24	AGND	analoge Masse	0 V
25	EXTBCID3	externes BCID für Kanal 4	Digital In
26	ADC4.IN	analoges Eingangssignal für den ADC4	Analog In
27	DGND	digitale Masse	0 V
28	AGND	analoge Masse	0 V
29	ADC.CLK	40 MHz LHC-Takt	Digital In
30	JTAGRST	JTAG Test Reset	Test In

Tabelle B.1: Pin Definition für den Eingangsstecker

Pin	Signal-Name	Beschreibung	Wert
31	DVCC	digitale Spannungsversorgung	+3.3 V
32	DVCC	digitale Spannungsversorgung	+3.3 V
33	DVCC	digitale Spannungsversorgung	+3.3 V
34	DVCC	digitale Spannungsversorgung	+3.3 V
35	EXTBCID2	externes BCID für Kanal 3	Digital In
36	ADC3.IN	analoges Eingangssignal für den ADC3	Analog In
37	DGND	digitale Masse	0 V
38	AGND	analoge Masse	0 V
39	SCL	I2C Takt	Control In
40	JTAGTMS	JTAG Test Mode Select	Test In
41	GENOUT1	allgemeines Ausgangsbit von PPrASIC Register	Control Out
42	PHOS4ERROR	Phos4 Feedback-Leitung	Control Out
43	TEMPMEASURE	Temperatursensor im PPrASIC	Control Out
44	JTAGTCK	JTAG Test Takt	Test In
45	DGND	digitale Masse	0 V
46	AGND	analoge Masse	0 V
47	EXTBCID10	externes BCID für Kanal 1	Digital In
48	ADC1.IN	analoges Eingangssignal für den ADC1	Analog In
49	AGND	analoge Masse	0 V
50	AGND	analoge Masse	0 V
51	AGND	analoge Masse	0 V
52	AGND	analoge Masse	0 V
53	AVDD	analoge Spannungsversorgung	+5.0 V
54	AVDD	analoge Spannungsversorgung	+5.0 V
55	AVDD	analoge Spannungsversorgung	+5.0 V
56	AVDD	analoge Spannungsversorgung	+5.0 V
57	DVCC	digitale Spannungsversorgung	+3.3 V
58	DVCC	digitale Spannungsversorgung	+3.3 V
59	DVCC	digitale Spannungsversorgung	+3.3 V
60	DVCC	digitale Spannungsversorgung	+3.3 V

Tabelle B.2: Pin Definition für den Eingangsstecker (Fortsetzung)

Pin	Signal-Name	Beschreibung	Wert
1	DVCC	digitale Spannungsversorgung	+3.3 V
2	DVCC	digitale Spannungsversorgung	+3.3 V
3	DVCC	digitale Spannungsversorgung	+3.3 V
4	DVCC	digitale Spannungsversorgung	+3.3 V
5	DGND	digitale Masse	0 V
6	LVDS1_SYNC1	Synchronisationsmuster für LVDS1 Ser.	CMOS In
7	LVDS1_DO	Serieller Ausgang des LVDS1 Ser.	LVDS Out
8	SEROUT1	Ausgang erste ser. Schnittst. von PPrASIC	CMOS Out
9	LVDS1_DOBAR	Komplement zu LVDS1_DO	LVDS Out Bar
10	DGND	digitale Masse	0 V
11	DGND	digitale Masse	0 V
12	L1ACCEPT	Level1Accept-Signal	CMOS In
13	LVDS1_DEN	Data Output Enable für LVDS1 Ser.	CMOS In
14	PPRASICCLK	Takt für PPrASIC	CMOS In
15	AGND	analoge Masse	0 V
16	AGND	analoge Masse	0 V
17	GENOUT3	allgemeines Ausgangsbit von PPrASIC Register	Control Out
18	LVDS1_TCLK	Takt für LVDS1 Ser.	CMOS In
19	AVCC	analoge Spannungsversorgung	+3.3 V
20	AVCC	analoge Spannungsversorgung	+3.3 V
21	SER_IN2	Eingang zweite ser. Schnittst. von PPrASIC	CMOS In
22	LVDS2_SYNC1	Synchronisationsmuster für LVDS2 Ser.	CMOS In
23	SERFRAME	Frame Select für ser. Schnittst. PPrASIC	Control In
24	LVDS1_TCK_R_F	Wahl der Flanke für Eingang des LVDS1 Ser.	Control In
25	SERCLK	Takt für ser. Schnittst. von PPrASIC	CMOS In
26	SYNCPLAYBACK	Start für synchr. Playback	CMOS In
27	DGND	digitale Masse	0 V
28	SYNCREADOUT	Start für synchr. Speicherauslese	CMOS In
29	LVDS2_DO	Serieller Ausgang des LVDS2 Ser.	LVDS Out
30	SEROUT2	Ausgang zweite ser. Schnittst. von PPrASIC	CMOS Out

Tabelle B.3: Pin Definition für den Ausgangsstecker

<b>Pin</b>	<b>Signal-Name</b>	<b>Beschreibung</b>	<b>Wert</b>
31	LVDS2_DOBAR	Komplement zu LVDS2_DO	LVDS Out Bar
32	DGND	digitale Masse	0 V
33	DGND	digitale Masse	0 V
34	GENOUT4	allgemeines Ausgangsbit von PPrASIC Register	Control Out
35	LVDS3_SYNC1	Synchronisationsmuster für LVDS3 Ser.	CMOS In
36	LVDS2_DEN	Data Output Enable für LVDS2 Ser.	CMOS In
37	EVCNTRES	Level1 Ereignisnummer Reset	CMOS In
38	SER_IN1	Eingang erste ser. Schnittst. von PPrASIC	CMOS In
39	BCCNTRES	Bunch-Crossing Zähler Reset	CMOS In
40	LVDS2_TCK_R_F	Wahl der Flanke für Eingang des LVDS2 Ser.	Control In
41	GENOUT2	allgemeines Ausgangsbit von PPrASIC Register	Control Out
42	LVDS2_TCLK	Takt für LVDS2 Ser.	CMOS In
43	AVCC	analoge Spannungsversorgung	+3.3 V
44	AVCC	analoge Spannungsversorgung	+3.3 V
45	RESETBAR	Reset für PPrASIC	Control In
46	LVDS3_DEN	Data Output Enable für LVDS3 Ser.	CMOS In
47	AGND	analoge Masse	0 V
48	AGND	analoge Masse	0 V
49	DGND	digitale Masse	0 V
50	LVDS3_TCK_R_F	Wahl der Flanke für Eingang des LVDS3 Ser.	Control In
51	LVDS3_DO	Serieller Ausgang des LVDS3 Ser.	LVDS Out
52	DGND	digitale Masse	0 V
53	LVDS3_DOBAR	Komplement zu LVDS3_DO	LVDS Out Bar
54	DGND	digitale Masse	0 V
55	DGND	digitale Masse	0 V
56	LVDS3_TCLK	Takt für LVDS3 Ser.	CMOS In
57	DVCC	digitale Spannungsversorgung	+3.3 V
58	DVCC	digitale Spannungsversorgung	+3.3 V
59	DVCC	digitale Spannungsversorgung	+3.3 V
60	DVCC	digitale Spannungsversorgung	+3.3 V

Tabelle B.4: Pin Definition für den Ausgangsstecker (Fortsetzung)



## Anhang C

# Schaltplan der MCM Testkarte





# Literaturverzeichnis

- [1] **Povh, Rith, Scholz, Zetsche**, *Teilchen und Kerne*, Springer Verlag, (1999)
- [2] **European Committee for Future Accelerators**, *Large Hadron Collider Workshop, Proceedings, Volume I*, CERN 90-10, (1990)
- [3] **The LEP Collaborations ALEPH, DELPHI, L3, OPAL, the LEP Electroweak Working Group and the SLD Heavy Flavour and Electroweak Groups**,  
*A Combination of Preliminary Electroweak Measurements and Constraints on the Standard Model*,  
European Organization for Nuclear Research, CERN-EP-2000-016, (2000)  
<http://delphiwww.cern.ch/pubxx/www/delsec/papers/public/papers.html>
- [4] **ATLAS Collaboration**, *THE ATLAS DETECTOR AND PHYSICS PERFORMANCE Technical Design Report*,  
ATLASTDR-14, CERN/LHCC 99-14 May 1999  
<http://atlasinfo.cern.ch/Atlas/GROUPS/PHYSICS/TDR/access.html>
- [5] **ATLAS Collaboration**, *Technical Proposal*,  
CERN/LHCC 94-43 1994  
<http://atlas.web.cern.ch/Atlas/GROUPS/TP/tp.html>
- [6] **Ullrich Pfeiffer**, *A Compact Pre-Processor System for the ATLAS Level-1 Calorimeter Trigger*,  
Doktorarbeit, Universität Heidelberg [IHEP-99-11], (1999)  
<http://wwwasic.kip.uni-heidelberg.de/atlas/docs/publications.html>
- [7] **Owen Boyle, Robert McLaren, Erik van der Bij**, *Pre-Processor Asic User and Reference Manual*, ECP Division, CERN,  
<http://www.cern.ch/HSI/s-link>
- [8] **Oliver Stelzer**, *Compact Digitizing and Serializing for the ATLAS Level-1 Calorimeter Trigger*,  
Diplomarbeit, Universität Heidelberg, [HD-KIP 00-45], (2000)  
<http://wwwasic.kip.uni-heidelberg.de/atlas/docs/publications.html>

- [9] **ANALOG DEVICES**, *12-Bit, 41 MSPS Monolithic A/D Converter*,  
<http://www.analog.com>
- [10] **CERN-Microelectronics group**, *PHOS<sub>4</sub> - 4 Channel delay generation ASIC with 1 ns resolution*,  
<http://cerb.web.cern.ch/CERN/Divisions/ECP/MIC/WelcomeMIC.html>
- [11] **National Semiconductor**, *DS92LV1021 and DS92LV1210 16-40 MHz 10-Bit Bus LVDS Serializer and Deserializer*,  
<http://www.national.com>
- [12] **The ATLAS group at the KIP Heidelberg**, *Pre-Processor Module (PPM) for the ATLAS Level-1 Calorimeter Trigger*,  
Universität Heidelberg, 2001  
<http://wwwasic.kip.uni-heidelberg.de/atlas/docs/index.html>
- [13] **P. Hanke, KIP Heidelberg**, *A daughter board with Line-Receiver on the Pre-Processor Module of the ATLAS Level-1 Calorimeter Trigger*,  
Universität Heidelberg, 2001  
<http://wwwasic.kip.uni-heidelberg.de/atlas/docs/index.html>
- [14] **H. Stenzel, K. Penno**, *Test Pulse Library*,  
<http://web.kip.uni-heidelberg.de/atlas/docs/testpulses.html>
- [15] **D. Obergfell**, *LFAN-test (current-driver and voltage-driver version)*,  
Universität Heidelberg, 2001  
<http://wwwasic.kip.uni-heidelberg.de/atlas/docs/index.html>
- [16] **D. Husmann, M. Keller, K. Mahboubi, C. Schumacher**, *Pre-Processor Asic User and Reference Manual*,  
Universität Heidelberg, 1999  
<http://wwwasic.kip.uni-heidelberg.de/atlas/docs/index.html>
- [17] **Cornelius Schumacher**, *The Readout Bus of the ATLAS Level-1 Calorimeter Trigger Pre-Processor*,  
Fifth Workshop on Electronics for LHC Experiments, Snowmass, (1999)  
<http://wwwasic.kip.uni-heidelberg.de/atlas/docs/publications.html>
- [18] **Bernd Stelzer**, *A Read-Out Driver Prototype-1 for the ATLAS Level-1 Calorimeter Trigger Pre-Processor*,  
Diplomarbeit, Universität Heidelberg, [HD-KIP 00-46], (2000)  
<http://wwwasic.kip.uni-heidelberg.de/atlas/docs/publications.html>
- [19] **Report, LEP Electroweak Working Group**,  
CERN-EP 99-15 (1999)
- [20] **Würth Elektronik**,  
<http://www.wuerth-elektronik.de>

- [21] **National Semiconductor**, *DS92LV1023 and DS92LV1024 40-66 MHz 10-Bit Bus LVDS Serializer and Deserializer*,  
<http://www.national.com>
- [22] **SAMTEC Inc.**,  
<http://www.samtec.com>
- [23] **HASEC-Electronic**,  
<http://www.hasec.de>
- [24] **EPO-TEK**,  
*H20S Electrically Conductive, Silver Epoxy for Die Stamping*,  
<http://www.epotek.com>
- [25] **MATROX Graphics**,  
<http://www.matrox.com>
- [26] **C. Schumacher et al.**,  
*Hardware Diagnostics, Monitoring and Control Software*,  
<http://www.wasic.kip.uni-heidelberg.de/atlas/projects/hdmc.html>
- [27] **The PipeLineBus:**,  
*The Readout Bus of the ATLAS Level-1 Calorimeter Trigger Pre-Processor*,  
<http://www.wasic.kip.uni-heidelberg.de/atlas/docs/publications.html>
- [28] **Cadence Design Systems, Inc.**, *Verilog-XL Reference*,  
Online Dokumentation, 1995
- [29] **Texas Instruments**, *TLC2932, Phase-Locked-Loop Building Block With Analog Voltage-Controlled Oscillator and Phase Frequency Detector*,  
<http://www.ti.com>
- [30] **Xilinx**, *XC95108 In-System Programmable CPLD*,  
<http://www.xilinx.com>
- [31] **MAXIM**, *Max4142, 250 MHz, Low-Power, High-Output-Current, Differential Line Driver*,  
<http://www.maxim-ic.com>
- [32] **National Semiconductor**, *DS90LV048A, 3V LVDS Quad CMOS Differential Line Receiver*,  
<http://www.national.com>
- [33] **National Semiconductor**, *DS90LV047A, 3V LVDS Quad CMOS Differential Line Driver*,  
<http://www.national.com>
- [34] **STMicroelectronics**, *L200, LM317, L7905, L7805*,  
<http://www.st.com>

- [35] **MAXIM**, *Max128, Multirange, +5V, 12-Bit DAS with 2-Wire Serial Interface*,  
<http://www.maxim-ic.com>
- [36] **Texas Instruments**, *OP07C, OP07D, OP07Y, Precision Operational Amplifiers*,  
<http://www.ti.com>
- [37] **Ralf Achenbach**, *Private Mitteilung*
- [38] **Paul Hanke**, *ATLAS Level-1 Pre-Processor-Components, July 2001*,
- [39] **Frau Gebhardt von Hasec Electronic**, *Private Mitteilung*
- [40] **Philips Semiconductor**, *The I2C-Bus Specification*,  
Version 2.1, January 2000  
<http://www.philips-semiconductor.com>
- [41] **MAXIM**, *Max529, Octal, 8-Bit, Serial DACs with Output Buffer*,  
<http://www.maxim-ic.com>
- [42] **Xilinx**, *XC95288XL High Performance CPLD*,  
<http://www.xilinx.com>
- [43] **SYNOPSIS Inc.**, *FPGA Compiler II / FPGA Express Verilog HDL Reference Manual*,  
Online Dokumentation, Version 1999.05, (1999)  
<http://www.synopsis.com>
- [44] **XILINX Inc.**, *Design Manager Version 3.306i*,  
<http://www.xilinx.com>
- [45] **The LHC Study Group**, *The Large Hadron Collider – Conceptual Design Report*,  
European Organization for Nuclear Research, CERN/AC/95-05(LHC), CERN, Geneva, 20 October 1995  
<http://www.cern.ch/CERN/LHC/YellowBook95/LHC95/LHC95.html>
- [46] **CanBus reference**,  
<http://atlasinfo.cern.ch/ATLAS/GROUPS/DAQTRIG/DCS/CANBus.html>
- [47] **Specification of a common TTC decoder card (TTCdec)**,  
<http://hepwww.rl.ac.uk/Atlas-L1/Modules/Modules.html>
- [48] **ATLAS Muon Collaboration**, *ATLAS Muon Spectrometer Technical Design Report*,  
CERN/LHCC 97-22 June 1997  
<http://atlasinfo.cern.ch/ATLAS/GROUPS/MUON/TDR/Web/TDR.html>
- [49] **The European Physical Journal C**, *Review of Particle Physics*,  
Volume 3, Number 1–4, 1998

# Danksagung

Ich möchte allen Menschen danken, die, auf die eine oder andere Weise, zum Gelingen meiner Diplomarbeit beigetragen haben.

- Prof. Meier für die Möglichkeit, meine Diplomarbeit am ASIC-Labor durchzuführen.
- Prof. Uwer übernahm freundlicherweise die Zweitkorrektur der Arbeit.
- Ullrich Pfeiffer für die Übergabe des Prä-Prozessor Multichip-Modul Projektes und die Hilfe bei der Einarbeitung in das Layout-Programm "APD".
- Paul Hanke, der mit seinem Humor die oft tristen Gruppenbesprechungen aufheiterte.
- Von Klaus Schmitt erfuhr ich eine ausgezeichnete Betreuung.
- Peter Stock übernahm freundlicherweise die Erstellung des Layouts für meine MCM Testkarte.
- Oliver Nix las meine Arbeit gründlich Korrektur und fand noch jede Menge Ungeheimheiten.
- Karsten Penno für die genaue Durchsicht meiner Arbeit.
- Ohne Thomas Nirmaier wäre die Zeit weitaus trister gewesen. Er stellte auch immer, wenn benötigt, seine Hilfe zur Verfügung.
- Den Kollegen und Kolleginnen von der Vision Gruppe für ihre stete Sorge um ATLAS und den täglichen gemeinsamen Gang zur Mensa.



**Erklärung:**

Ich versichere, dass ich diese Arbeit selbständig verfasst und keine anderen als die angegebenen Quellen und Hilfsmittel benutzt habe.

Heidelberg, ..... ..